

**Semiconductor integrated circuit device, and method of manufacturing the same**

Patent  
Number: ☐ US6215144

Publication  
date: 2001-04-10

Inventor(s): SEKIGUCHI TOSHIHIRO (JP); ASANO ISAMU (JP); FUKUDA TAKUYA (JP); GOTO HIDEKAZU (JP); YAMADA SATORU (JP); AOKI HIDEO (JP); FUKUDA NAOKI (JP); KAWAKITA KEIZO (JP); SAITO MASAYOSHI (JP); SUZUKI MASAYUKI (JP); TAMARU TSUYOSHI (JP); HIRASAWA MASAYOSHI (JP); NAKAMURA YOSHITAKA (JP); TADAKI YOSHITAKA (JP)

Applicant(s): HITACHI LTD (US)

Requested  
Patent: JP11214644

Application  
Number: US19990236223 19990125

Priority  
Number(s): JP19980012614 19980126

IPC  
Classification: H01L29/72

EC  
Classification: H01L21/02B3, H01L21/768B, H01L21/768B2, H01L21/768C, H01L21/768C3, H01L21/8242P

Equivalents: TW508798

---

**Abstract**

---

In a DRAM having a capacitor-over-bitline structure in which the capacitive insulating film of an information storing capacitive element C is formed of a high dielectric material such as Ta<sub>2</sub>O<sub>5</sub> (tantalum oxide) film 46, the portions of bit lines BL and first-layer interconnect lines 23 to 26 of a peripheral circuit which are in contact with at least an underlying silicon oxide film 28 are formed of a W film, the bit lines BL and the interconnect lines 23 to 26 being arranged below the information storing capacitive element C, whereby the adhesion at the interface between the bit lines BL and the interconnect lines 23 to 26 and the silicon oxide film is improved in terms of high-temperature heat treatment to be performed when the capacitive insulating film is being formed

---

Data supplied from the esp@cenet database - I2

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 6  
H01L 27/108

(11) 공개번호 특1999-0068074  
(43) 공개일자 1999년08월25일

(21) 출원번호 10-1999-0001957

(22) 출원일자 1999년01월22일

(30) 우선권주장 98-0126141998년01월26일일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무  
일본 도쿄토 치요다구 간다스루가다이 4쵸메 6반치

(72) 발명자 사이토마사요시  
일본도쿄도하치오지시다이마치1-12-4  
나카무라요시타카  
일본도쿄도오메시신마치7-55-6-305  
카와키타케이쵸  
일본도쿄도오메시신마치7-13-4  
야마다사토루  
일본도쿄도오메시오메478-1-202  
세키구치토시히로  
일본사이타마켄히다카시요코테2-20-5  
아사노이사무  
일본사이타마켄이루마시시모후지사와1314-3-804  
후쿠다타쿠야  
일본도쿄도코다이라시스즈키쵸1-176-9  
타마루쵸요시  
일본도쿄도하치오지시키타노다이5-45-8  
후쿠다나오키  
일본도쿄도오메시카베쵸7-22-4  
아오키히데오  
일본도쿄도무사시무라야마시나카하라1-18-49  
히라사와마사요시  
일본도쿄도오메시카베쵸7-22-4-113  
고토히데카즈  
일본도쿄도홋사시미나미덴엔3-13-23-205  
타다키요시타카  
일본사이타마켄한노시미스기다이4-6-18  
스즈키마사유키  
일본도쿄도코쿠분지시히가시코이가쿠보2-33-14-201

(74) 대리인 임석재  
윤우성

심사청구 : 없음

(54) 반도체 집적회로 장치 및 그 제조방법

요약

정보축적용 용량소자(C)의 용량절연막을 Ta<sub>2</sub>O<sub>5</sub>(산화 탄탈)막(46) 등의 고유전체 재료로 구성한 캐패시터·오버·비트라인 구조의 DRAM에 있어서, 정보축적용 용량소자(C)보다도 하층에 배치되는 비트선(BL) 및 주변회로의 제1층째의 배선(23~26) 중 적어도 베이스부의 산화 실리콘막(28)과 접하는 부분을 W막으로 구성하는 것에 의해, 용량절연막을 형성할 때에 행해지는 고온열처리에 기인하여 비트선(BL)이나 배선(23~26)과 산화 실리콘막(28)과의 계면의 밀착성을 향상시킨다.

대표도

도1

## 명세서

## 도면의 간단한 설명

도 1은 본 발명의 일 실시형태인 DRAM을 형성한 반도체 칩의 전체 평면도이다.

도 2는 본 발명의 일 실시형태인 DRAM의 등가 회로도이다.

도 3은 본 발명의 일 실시형태인 DRAM의 메모리어레이와 주변회로의 각각의 일부를 나타내는 반도체 기판의 요부(要部) 단면도이다.

도 4는 본 발명의 일 실시형태인 DRAM의 메모리어레이의 일부를 나타내는 반도체 기판의 개략 평면도이다.

도 5 ~ 도 38은 본 발명의 일 실시형태인 DRAM의 제조방법을 나타내는 반도체 기판의 요부 단면도이다.

## &lt;도면 부호의 설명&gt;

1반도체 기판, 2P형 웰

3n형 반도체 영역, 4 n형 웰

5산화실리콘막, 6소자분리홀

7게이트 산화막

8A ~ 8C게이트 전극

9n형 반도체 영역(소스, 드레인)

9an-형 반도체 영역(소스, 드레인)

10n+형 반도체 영역(소스, 드레인)

11p+형 반도체 영역(소스, 드레인)

12, 13질화실리콘막, 13s 사이드월스페이스

14n-형 반도체 영역, 15p-형 반도체 영역

16SOG 막

17, 18 산화실리콘막, 19, 20콘택트홀

21플러그, 22스루홀

23 ~ 26배선, 27포토리저리스트막

28산화실리콘막, 30 ~ 34콘택트홀

35플러그, 36Ti막

37TiSi<sub>2</sub>막, 38산화 실리콘막

39SOG 막, 40TiN막

41, 42 W막, 43 포토레지스트 막

44산화실리콘막, 45 하부전극(축적 전극)

45A다결정 실리콘막, 46Ta<sub>2</sub>O<sub>5</sub>막

47상부전극(플레이트전극), 48스루홀

49 플러그, 50, 51 산화실리콘막

52, 53배선,

54스루홀, 55플러그

56층간 절연막, 57 ~ 59배선

60, 61스루홀

62플러그, 63제2 층간 절연막

70다결정실리콘막, 71스루홀

72사이드월스페이스, 73오목홀

74SOG막, 75포토리저리스트막

BL 비트선, C 정보축적용 용량소자  
 MARY메모리어레이, MC 메모리셀  
 Qn n 채널형 MISFET, Qpp 채널형 MISFET  
 Qs메모리셀 선택용 MISFET,  
 SA센스앰프, WD워드 드라이버  
 WL워드선,

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야 종래기술

본 발명은, 반도체 집적회로 장치 및 그 제조방법에 관한 것으로서, 특히, DRAM(Dynamic Random Access Memory)을 가지는 반도체 집적회로 장치에 적용하여 유효한 기술에 관한 것이다.

DRAM의 메모리셀은 반도체 기판의 주면에 매트릭스 형태로 배치된 복수의 워드선과 복수의 비트선의 교점에 배치되고, 1개의 메모리셀 선택용 MISFET과 이것에 직렬로 접속된 1개의 정보축적용 용량소자(캐패시터)로 구성되어 있다. 메모리셀 선택용 MISFET은 주로 게이트산화막, 워드선과 일체로 구성된 게이트전극, 소스 및 드레인을 구성하는 한 쌍의 반도체영역에 의해 구성되어 있다. 비트선은, 메모리셀 선택용 MISFET의 상부에 배치되고, 소스, 드레인의 한쪽과 전기적으로 접속되어 있다. 정보축적용 용량소자는, 동일하게 메모리셀 선택용 MISFET의 상부에 배치되고 소스, 드레인의 다른 쪽과 전기적으로 접속되어 있다.

이상과 같이, 근래의 DRAM은 메모리셀의 미세화에 따르는 정보축적용 용량소자의 축적 전하량의 감소를 보충하기 위해서, 정보축적용 용량소자를 메모리셀 선택용 MISFET의 상측에 배치하는 소위 적층 캐패시터구조를 채용하고 있다. 이 적층 캐패시터 구조를 채용한 DRAM에는 비트선의 하측에 정보축적용 용량소자를 배치하는 캐패시터·언더·비트라인(Capacitor Under Bitline; CUB)구조의 것과, 비트선의 상측에 정보축적용 용량소자를 배치하는 캐패시터·오버·비트라인(Capacitor Over Bitline; COB) 구조의 것이 있다.

상술한 2 종류의 적층 캐패시터 구조 중, 비트선의 상측에 정보축적용 용량소자를 배치하는 COB 구조는 CUB 구조에 비하여 메모리셀의 미세화에 적합하다. 이것은 미세화된 정보축적용 용량소자의 축적전하량을 늘리도록 하면, 그 구조를 입체화하여 표면적을 늘릴 필요가 있지만, 정보축적용 용량소자의 상부에 비트선을 배치하는 CUB 구조의 경우는, 비트선과 메모리셀 선택용 MISFET을 접속하는 콘택트홀의 애스펙트비가 극단적으로 크게 되어 버리므로, 그 구멍이 열리기 곤란하게 되기 때문이다.

또한, 64 Mbit(메가비트) 또는 256 Mbit라고 하는 최근의 대용량 DRAM은, 정보축적용 용량소자를 입체화하여 표면적을 증가하는 것만으로는 축적전하량을 확보하는 것이 곤란하게 되어, 용량소자의 입체화와 병행하여 용량절연막을 Ta<sub>2</sub>O<sub>5</sub>(산화 tantalum), (Ba, Sr) TiO<sub>3</sub>(티탄산 바륨 스트론튬; 이하 BST라고 함), SrTiO<sub>3</sub>(티탄산 스트론튬; STO 라고 함)라고 하는 고유전체 재료로 구성하는 것이 검토되고 있다. 용량절연막을 이와 같은 고유전체 재료로 구성한 DRAM에 대해서는 예컨대 특개평1-222469호, USP 5,383,088호 공보에 기재가 있다.

또한, 상기한 64 ~ 256 Mbit DRAM에 있어서는, 칩사이즈의 증대에 따르는 신호지연 대책으로서, 워드선이나 비트선의 재료로 다결정 실리콘막보다도 낮은 저항의 금속재료를 채용하는 것이나, MISFET의 소스, 드레인과 배선을 접속하는 콘택트홀의 미세화에 따르는 저항증대를 회피하는 대책으로서, 고속동작이 요구되는 센스앰프나 워드드라이버 등의 주변회로를 구성하는 MISFET의 소스, 드레인의 표면에 TiSi<sub>2</sub>(티탄실리사이드) 또는 CoSi<sub>2</sub>(코발트실리사이드) 등의 고용점 금속 실리사이드층을 형성하는 실리사이드이션(Silicidation) 기술을 채용하는 것도 불가피하게 되는 것으로 생각되고 있다. 이 실리사이드이션 기술에 대해서는 예컨대, 특개평 6-29240호 공보, 특개평 8-181212호에 기재가 있다.

#### 발명이 이루고자하는 기술적 과제

256 Mbit 및 그것 이후의 세대에 대응한 DRAM에서는, 칩사이즈의 증대에 따르는 신호지연대책으로서 메모리셀 선택용 MISFET의 게이트 전극(워드선)과 주변회로의 MISFET의 게이트 전극을 W(텅스텐) 등의 고용점 금속을 주체로 하는 저저항(低抵抗)재료로 구성함과 동시에, 확산층과 배선의 콘택트저항을 저감하는 대책으로서 주변회로를 구성하는 MISFET의 소스, 드레인의 표면에 고용점 금속 실리사이드층을 형성한다.

또한, 이 DRAM은 비트선의 신호지연대책으로서 비트선을 W 등의 고용점 금속을 주체로 하는 저저항재료로 구성함과 동시에, 배선의 형성공정을 저감하는 대책으로서 비트선과 주변회로의 제1층째의 배선을 동일 공정으로 동시에 형성한다. 또한, 이 DRAM은 정보축적용 용량소자의 축적전하량을 확보하는 대책으로서 비트선의 상측에 정보축적용 용량소자를 배치하는 COB 구조를 채용하여 용량소자의 입체화를 용이하게 함과 동시에, 용량 절연막을 Ta

$2O_5$ (산화 탄탈) 등의 고유전체 재료로 구성한다.

그런데, 본 발명이 상기와 같은 DRAM의 제조프로세스를 검토한 바, MISFET의 상부에 형성한 비트선 및 주변회로의 제1층째의 배선이 그 다음의 정보축적용 용량소자를 형성하는 공정에서 행해지는 고온의 열처리에 의해 절연막 표면에서 박리되는 현상을 발견하였다.

여기서, 상기와 같은 DRAM을 제조하는 프로세스의 개략을 간단히 설명하면, 우선 반도체 기판의 주면 상에 퇴적한 고용점 금속을 주체로 하는 저저항 재료를 패터닝하여 메모리셀 선택용 MISFET의 게이트 전극(워드선)과 주변회로의 MISFET의 게이트 전극을 형성한 후, 반도체 기판에 불순물을 이온 주입하여 이들의 MISFET의 소스, 드레인을 형성한다.

다음에, 이들의 MISFET의 상부를 절연막으로 피복한 후, 우선 메모리셀 선택용 MISFET의 소스, 드레인의 상부의 절연막에 콘택트홀을 형성하고, 이어서 이 콘택트홀의 내부에 다결정 실리콘의 플러그를 매립한다. 다음으로, 주변회로의 MISFET의 게이트 전극 및 소스, 드레인의 각각의 상부의 절연막에 콘택트홀을 형성한 후, 이들의 콘택트홀의 내부를 포함하는 절연막의 상부에 Ti막 또는 Co막 등의 고용점 금속막을 얇게 퇴적하고, 이어서 반도체 기판을 열처리하여 콘택트홀의 저부의 기판(Si)과 고용점 금속막을 반응시키는 것에 의해, 콘택트홀의 저부에 고용점 금속실리사이드층을 형성한다.

다음에, 주변회로의 콘택트홀의 내부를 포함하는 절연막의 상부에 W 등의 고용점 금속막을 주체로 하는 배선재료를 퇴적한 후, 이 배선재료와 절연막의 표면에 남은 미반응의 Ti막을 패터닝함으로써, 절연막의 상부에 비트선과 주변회로의 제1층째의 배선을 형성한다. 비트선은 다결정 실리콘의 플러그를 매립한 상기 콘택트홀을 통하여 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 전기적으로 접속된다. 또한, 주변회로의 제1층째의 배선은 주변회로의 상기 콘택트홀을 통하여 주변회로의 MISFET의 게이트 전극 또는 소스, 드레인 중의 어느 하나와 전기적으로 접속된다.

다음에, 비트선 및 주변회로의 제1층째의 배선의 각각의 상부를 층간 절연막으로 피복하고, 이어서 이 층간 절연막에 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 정보축적용 용량소자를 접속하기 위한 스루홀을 형성한 후, 이 스루홀의 상부에 퇴적한 다결정 실리콘 등의 도전막을 패터닝하여 입체적인 구조를 가지는 정보축적용 용량소자의 하부전극을 형성한다.

다음에, 이 하부전극의 표면에  $Ta_2O_5$ (산화탄탈) 등의 고유전체막을 퇴적한 후, 고온의 열처리를 행한다. Ta

$2O_5$  또는 BST, STO 라고 하는 금속산화물로 이루어지는 고유전체막은 그들에 공통의 성질로서 리키지전류를 저감하기 위해서 막을 형성한 후에 산소분위기 중에서 800℃ 정도의 고온열처리를 행할 필요가 있다. 또한, 일단 고온열처리를 행한 후에는, 막질의 열화를 방지하기 위해서 450℃ 정도 이상의 고온에 노출되지 않도록 할 필요가 있다.

그후, 고유전체막의 상부에 TiN막 등의 도전막을 퇴적한 후, 이 도전막과 그 하층의 고유전체막을 패터닝하여 정보축적용 용량소자의 상부 전극과 용량절연막을 형성한다.

그런데, 본 발명이 상기와 같은 DRAM의 제조프로세스를 검토한 바,  $Ta_2O_5$  막의 막질을 개선하기 위한 고온 열처리를 행한 때에, 비트선이나 주변회로의 제1층째의 배선이 절연막 표면에서 박리하는 현상을 발견하였다. 이것은 콘택트홀의 저부에 Ti 실리사이드층을 형성하기 위해서 사용한 Ti 막이 산화실리콘으로 구성된 절연막 상에 남아 있다면, Ti 막과 산화실리콘의 계면에서 박리가 생기기 때문이고, 그 이유로서는 Ti이 Si에 비하여 산화물을 형성하기 쉽기 때문이라고 생각된다.

고온열처리에 의한 Ti 막과 산화실리콘막의 박리를 방지하는 대책으로서, Ti 막을 열처리하여 콘택트홀의 저부에 Ti 실리사이드층을 형성한 후 절연막의 표면에 남은 미반응의 Ti 막을 산성의 에칭액으로 제거하는 방법이 고려된다. 그렇지만, 주변회로의 MISFET의 소스, 드레인의 상부의 절연막에 콘택트홀을 형성하는 공정에서는 동시에 MISFET의 게이트 전극의 상부에도 콘택트홀을 형성하므로, Ti 실리사이드층의 형성 후에 미반응의 Ti 막을 에칭액으로 제거하면 게이트전극의 상부에 형성된 콘택트홀 내에도 에칭액이 침입하여, 게이트 전극을 구성하는 금속막이 에칭되고 만다. 따라서, 상기의 대책은 산성의 에칭액에 내성이 있는 다결정 실리콘막이나 폴리사이드막(다결정 실리콘과 고용점 금속실리사이드의 적층막)으로 게이트 전극을 구성한 경우에는 유효하지만, 금속을 주체로 한 재료로 게이트 전극을 구성한 경우에는 적용할 수 없다.

Ti막과 산화실리콘막의 계면박리를 방지하는 다른 대책으로서 Ti막을 열처리하여 Ti 실리사이드층을 형성한 후(또는 형성할 때), 질소분위기 중에서 열처리를 행하는 것에 의해 Ti 막을 산화실리콘막과 밀착성이 좋은 TiN(티탄나이트라이드)막으로 치환하는 방법이 고려된다. 그러나, 질소 분위기 중에서의 고온 열처리에 의해 산화실리콘막 상의 Ti막을 완전히 TiN 막으로 치환하는 것은 어렵고, 막의 표면은 질화되어도 산화실리콘막과의 계면까지는 완전히 질화되지 않는다. 또한, 이 고온열처리를 장시간 행하는 것은 MISFET의 소스, 드레인에 주입된 불순물의 확산을 조장하는 것이 되어, 얇은 접합의 형성의 장애로 된다.

본 발명의 목적은, 정보축적용 용량소자의 용량절연막을 고유전체 재료로 구성한 DRAM에 있어서, 고유전체 재료의 막질을 개선하기 위해서 행하는 고온열처리에 의해 하층의 배선이 절연막의 표면에서 박리하는 불량을 방지하는 기술을 제공하는 것에 있다.

본 발명의 상기 및 그 외의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

#### 발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

- (1) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면 상에 형성된 산화실리콘계의 제1 절연막의 상부에 적어도 그 일부가 상기 제1 절연막과 접하도록 연장하여 있는 배선이 형성되고, 상기 배선의 상부에 형성된 제2 절연막의 상부에 적어도 그 일부가 고유전체막으로 구성된 용량절연막을 가지는 용량소자가 형성되어 있으며, 상기 배선을 구성하는 도전막은 상기 제1 절연막 상에서 상기 제1 절연막과 접하는 부분이 티탄을 제거한 고용점 금속, 또는 고용점 금속의 산화물로 이루어진다.
- (2) 본 발명의 반도체 집적회로장치는, 반도체 기판의 주면 상의 제1 영역에 워드선과 일체로 구성된 게이트 전극을 구비한 메모리셀 선택용 MISFET이 형성되고, 상기 메모리셀 선택용 MISFET을 피복하는 산화실리콘계의 제1 절연막의 상부에 상기 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 전기적으로 접속되며, 또한 상기 제1 절연막과 접하도록 연장하여 있는 비트선이 형성되고, 상기 비트선의 상부에 형성된 제2 절연막의 상부에 상기 메모리셀 선택용 MISFET의 소스, 드레인의 다른 쪽과 전기적으로 접속되며, 또한 적어도 그 일부가 고유전체막으로 구성된 용량절연막을 가지는 정보축적용 용량소자가 형성된 DRAM을 가지고 상기 비트선을 구성하는 도전막은 상기 제1 절연막 상에서 상기 제1 절연막과 접하는 부분이 티탄을 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어진다.
- (3) 본 발명의 반도체 집적회로 장치는, 상기 제(2)에서 상기 고유전체막은 결정화를 위한 열처리를 행한 산화 탄탈막이다.
- (4) 본 발명의 반도체 집적회로 장치는, 상기 (2)에서 상기 메모리셀 선택용 MISFET의 게이트 전극을 구성하는 도전막의 적어도 일부가 금속막으로 구성되어 있다.
- (5) 본 발명의 반도체 집적회로 장치는, 상기 (2)에서 상기 반도체 기판의 주면 상의 제2 영역에 상기 DRAM의 주변회로의 MISFET이 형성되고, 상기 주변회로의 MISFET을 피복하는 상기 산화실리콘계의 제1 절연막의 상부에 상기 주변회로의 MISFET의 게이트전극, 소스 또는 드레인 중 어느 하나와 전기적으로 접속되며, 또한 상기 제1 절연막과 접하도록 연장하여 있는 제1층째의 배선이 형성되고 상기 제1층째의 배선을 구성하는 도전막은 상기 제1 절연막 상에서 상기 제1 절연막과 계면을 접하는 부분이, 티탄을 제외한 고용점금속, 또는 고용점 금속의 질화물로 이루어진다.
- (6) 본 발명의 반도체 집적회로 장치는, 상기 (5)에서 상기 제1 절연막에 개공(開孔)되고, 상기 제1층째의 배선과 상기 주변회로의 MISFET의 소스 또는 드레인을 전기적으로 접속하는 콘택트홀의 저부에 티탄실리사이드층이 형성되어 있다.
- (7) 본 발명의 반도체 집적회로 장치는, 상기 (5)에서 상기 비트선 및 상기 제1층째의 배선의 각각을 구성하는 상기 도전막이 텅스텐막이다.
- (8) 본 발명의 반도체 집적회로 장치는, 상기 (5)에서 상기 제1층째의 배선이 상기 콘택트홀의 내부에 형성되고, 티탄막과 장벽 금속막(barrier metal film)의 적층막, 또는 티탄막과 장벽 금속막과 텅스텐막의 적층막으로 구성된 플러그를 통하여 상기 주변회로의 MISFET의 소스, 또는 드레인과 전기적으로 접속되어 있다.
- (9) 본 발명의 반도체 집적회로 장치는, 상기 (5)에서 상기 주변회로의 MISFET의 게이트 전극은 금속막으로 구성되어 있다.
- (10) 본 발명의 반도체 집적회로 장치는, 상기 (5)에서 상기 제1 절연막이 스피ن·온·글래스(spin-on-glass)막 또는 CVD 법으로 퇴적한 산화실리콘막인 것을 특징으로 하는 반도체 집적회로장치.
- (11) 본 발명의 반도체 집적회로 장치는, 상기 (5)에서 상기 정보축적용 용량소자의 상부에 형성된 산화실리콘계의 제3 절연막의 상부에 상기 제1층째의 배선과 전기적으로 접속된 제2층째의 배선이 형성되고, 상기 제2층째의 배선을 구성하는 도전막은 적어도 상기 제3 절연막과 접하는 부분이 티탄막이다.
- (12) 본 발명의 반도체 집적회로장치는, 이하의 공정을 포함하고 있다.
  - (a) 반도체 기판의 주면 상에 산화 실리콘계의 제1 절연막을 형성한 후, 상기 제1 절연막의 상부에 상기 제1 절연막 상에서 상기 제1 절연막과 접하는 부분이 티탄을 제외한 고용점 금속, 또는 티탄을 포함하는 고용점 금속의 산화물로 이루어지는 도전막을 퇴적하는 공정, (b) 상기 도전막을 패터닝하는 것에 의해, 적어도 그 일부가 상기 제1 절연막과 접하도록 연장하여 있는 배선을 형성한 후, 상기 배선의 상부에 제2 절연막을 형성하는 공정, (c) 상기 제2 절연막의 상부에 제1 전극, 유전체막, 제2 전극으로 구성된 용량절연막을 가지는 용량소자를 형성하는 공정을 포함하고, 상기 용량소자 형성공정은 상기 유전체막의 막질을 개선하기 위한 열처리공정을 포함한다.
- (13) 본 발명의 반도체 집적회로 장치의 제조방법은 이하의 공정을 포함하고 있다.
  - (a) 반도체 기판의 주면 상의 제1 영역에, DRAM의 메모리셀을 구성하는 메모리셀 선택용 MISFET을 형성하고, 상기 반도체 기판의 주면 상의 제2 영역에 상기 DRAM의 주변회로를 구성하는 MISFET을 형성하는 공정, (b) 상기 메모리셀 선택용 MISFET 및 상기 주변회로의 MISFET의 각각의 상부에 산화 실리콘계의 제1 절연막을 형성하는 공정, (c) 상기 메모리셀 선택용 MISFET의 소스, 드레인의 적어도 한쪽의 상부의 상기 제1 절연막에 제1 콘택트홀을 형성하고, 상기 주변회로의 MISFET의 소스 및 드레인의 각각의 상부의 상기 제1 절연막에 제2 콘택트홀을 형성하며, 상기 주변회로의 MISFET의 게이트전극의 상부의 상기 제1 절연막에 제3 콘택트홀을 형성하는 공정, (d) 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부 및 상기 제1 절연막의 상부에 티탄막을 퇴적한 후 상기 반도체 기판을 열처리하는 것에 의해, 상기 제2 콘택트홀의 저부에 노출한 상기

주변회로의 MISFET의 소스 및 드레인의 각각의 표면에 티탄실리사이드층을 형성하는 공정, (e) 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부를 포함하는 상기 티탄막의 상부에 장벽 금속막, 또는 상기 장벽 금속막과 티탄을 제외한 고용점 금속막의 적층막을 퇴적한 후, 상기 제1 절연막의 상부의 상기 장벽 금속막 또는 상기 적층막을 상기 티탄막과 함께 제거하는 것에 의해, 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부에 플러그를 형성하는 공정, (f) 상기 제1 절연막의 상부에, 적어도 상기 제1 절연막과 접하는 부분이 티탄을 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어지는 도전막을 퇴적하는 공정, (g) 상기 도전막을 패터닝하는 것에 의해 상기 제1 콘택트홀을 통하여 상기 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 전기적으로 접속되는 비트선을 형성하고, 상기 제2 콘택트홀 또는 상기 제3 콘택트홀을 통하여 상기 주변회로의 MISFET과 전기적으로 접속되는 주변회로의 제1층패의 배선을 형성하는 공정, (h) 상기 제2 절연막의 상부에, 제1 전극, 유전체막, 제2 전극으로 구성된 정보축적용 용량소자를 형성하는 공정을 가지고, 상기 용량소자의 형성공정은 상기 유전체막의 막질을 개선하기 위한 열처리공정을 포함한다.

(14) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 (13)에서 상기 메모리셀 선택용 MISFET의 게이트 전극 및 상기 주변회로의 MISFET의 게이트 전극의 각각을 구성하는 도전막이, 불순물이 도핑된 저저항(低抵抗)다결정 실리콘막과 장벽 금속막과 텅스텐막의 적층막이다.

(15) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 (13)에서 상기 비트선 및 상기 주변회로의 제1층패의 배선이 텅스텐막이다.

(16) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 (13)에서 상기 유전체막이 금속 산화물로 이루어진다.

(17) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 (16)에서 상기 금속산화물이 산화 탄탈이다.

(18) 본 발명의 반도체 집적회로장치의 제조방법은, 상기 (13)에서 상기 고유전체막의 막질을 개선하기 위한 열처리 온도가 750℃ 이상이다.

(19) 본 발명의 반도체 집적회로장치의 제조방법은, 이하의 공정을 포함하고 있다.

(a) 반도체 기판의 주면상의 제1 영역에 DRAM의 메모리셀을 구성하는 메모리셀 선택용 MISFET을 형성하고, 상기 반도체 기판의 주면 상의 제2 영역에 상기 DRAM의 주변회로를 구성하는 MISFET을 형성하는 공정, (b) 상기 메모리셀 선택용 MISFET 및 상기 주변회로의 MISFET의 각각의 상부에 산화 실리콘계의 제1 절연막을 형성하는 공정, (c) 상기 메모리셀 선택용 MISFET의 소스, 드레인의 적어도 한쪽의 일방의 상부의 상기 제1 절연막에 제1 콘택트홀을 형성하고, 상기 주변회로의 MISFET의 소스 및 드레인의 각각의 상부의 상기 제1 절연막에 제2 콘택트홀을 형성하며, 상기 주변회로의 MISFET의 게이트 전극의 상부의 상기 제1 절연막에 제3 콘택트홀을 형성하는 공정, (d) 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부 및 상기 제1 절연막의 상부에 코발트막을 퇴적한 후, 상기 반도체 기판을 열처리하는 것에 의해, 상기 제2 콘택트홀의 저부에 노출된 상기 주변회로의 MISFET의 소스 및 드레인의 각각의 표면에 코발트 실리사이드층을 형성하는 공정, (e) 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부를 포함하는 상기 코발트막의 상부에 장벽 금속막, 또는 상기 장벽 금속막과 코발트막과 함께 제거하는 것에 의해, 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부에 플러그를 형성하는 공정, (f) 상기 제1 절연막의 상부에, 적어도 상기 제1 절연막과 접하는 부분이, 코발트를 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어지는 도전막을 퇴적하는 공정, (g) 상기 도전막을 패터닝하는 것에 의해 상기 제1 콘택트홀을 통하여 상기 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 전기적으로 접속되는 비트선을 형성하고, 상기 제2 콘택트홀 또는 상기 제3 콘택트홀을 통하여 상기 주변회로의 MISFET과 전기적으로 접속되는 주변회로의 제1층패의 배선을 형성하는 공정, (h) 상기 제2 절연막의 상부에, 제1 전극, 유전체막, 제2 전극으로 구성된 정보축적용 용량소자를 형성하는 공정을 가지고, 상기 용량소자의 형성공정은 상기 유전체막의 막질을 개선하기 위한 열처리 공정을 포함한다.

(바람직한 실시형태의 설명)이하 본 발명의 실시형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시의 형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 가지는 부재에는 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.

도 1은 본 실시형태의 DRAM을 형성한 반도체 칩의 전체 평면도이다. 도시한 바와 같이, 단결정 실리콘으로 이루어지는 반도체 칩(1A)의 주면에는 X방향(반도체 칩(1A)의 긴 변 방향) 및 Y 방향(반도체 칩(1A)의 짧은 변 방향)을 따라서 다수의 메모리어레이(MARY)가 매트릭스 형태로 배치되어 있다. X 방향을 따라서 서로 인접하는 메모리어레이(MARY)의 사이에는 센스앰프(SA)가 배치되어 있다. 반도체 칩(1A)의 주면의 중앙부에는 워드드라이버(WD), 데이터선 선택회로 등의 제어회로나, 입출력회로, 본딩패드 등이 배치되어 있다.

도 2는 상기 DRAM의 등가 회로도이다. 도시하는 바와 같이, 이 DRAM의 메모리어레이(MARY)는, 행 방향으로 연장하여 있는 복수의 워드선(WL)( $WL_{n-1}$ ,  $WL_n$ ,  $WL_{n+1}$  ...)과 열 방향으로 연장하여 있는 복수의 비트선(BL) 및 그들의 교점에 배치된 복수의 메모리셀(MC)에 의해 구성되어 있다. 1 비트의 정보를 기억하는 1개의 메모리셀은, 1개의 정보축적용 용량소자(C)와 이것에 직렬로 접속된 1개의 메모리셀 선택용 MISFET(Qs)으로 구성되어 있다. 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 한쪽은 정보축적용 용량소자(C)와 전기적으로 접속되며, 다른 쪽은 비트선(BL)과 전기적으로 접속되어 있다. 워드선(WL)의 일단은 워드드라이버(WD)에 접속되고, 비트선(BL)의 일단은 센스앰프(SA)에 접속되어 있다.

도 3은, DRAM의 메모리어레이와 주변회로의 각각의 일부를 나타내는 반도체 기판의 요부 단면도, 도 4는 메모리어레이의 일부를 나타내는 반도체 기판의 개략 평면도이다. 또한, 도 4에는 메모리셀을 구성하는 도전층(플레이트 전극을 제외한)만을 나

타내고, 도전층 사이의 절연막이나 메모리셀의 상부에 형성되는 배선의 도시는 생략하고 있다.

도 3에 나타내는 바와 같이 DRAM의 메모리셀은, p형의 단결정 실리콘으로 이루어지는 반도체 기판(1)의 주면에 형성된 p형 웰(2)에 형성되어 있다. 메모리셀이 형성된 영역(메모리어레이)의 p형 웰(2)은 반도체 기판(1)의 다른 영역에 형성된 입출력회로 등으로부터 노이즈가 침입하는 것을 방지하기 위해, 그 하부에 형성된 n형 반도체 영역(3)에 의해 반도체 기판(1)과 전기적으로 분리되어 있다.

메모리셀은, 메모리셀 선택용 MISFET(Qs)의 상부에 정보축적용 용량소자(C)를 배치한 적층구조로 구성되어 있다. 메모리셀 선택용 MISFET(Qs)는 n 채널형으로 구성되고, 도 4에 나타내는 바와 같이 X 방향(열방향)을 따라서 똑바로 연장하여 있는 가늘고 긴 섬모양의 패턴으로 구성된 활성영역(L)에 형성되어 있다. 활성영역(L)의 각각에는 소스, 드레인의 한쪽(n형 반도체 영역)을 서로 공유하는 메모리셀 선택용 MISFET(Qs)이 X 방향으로 인접하여 2개 형성되어 있다.

활성영역(L)을 둘러싸는 소자분리영역은, p형 웰(2)에 형성된 소자분리홈(6)으로 구성되어 있다. 소자분리홈(6)의 내부에는 산화 실리콘막(5)이 매립되고, 그 표면은 활성영역(L)의 표면과 거의 동일한 높이가 되도록 평탄화되어 있다. 이와 같은 소자분리홈(6)에 의해 구성된 소자분리영역은 활성영역(L)의 단부에서 버즈비크(bird's beak)가 발생하지 않으므로, LOCOS(선택산화)법으로 형성된 동일치수의 소자분리영역(필드 산화막(field oxide film))에 비하여 실효적인 면적이 크게 된다.

메모리셀 선택용 MISFET(Qs)는 주로 게이트 산화막(7), 게이트 전극(8A) 및 소스, 드레인을 구성하는 한 쌍의 n형 반도체 영역(9, 9)에 의해 구성되어 있다. 메모리셀 선택용 MISFET(Qs)의 게이트 전극(8A)은 워드선(WL)과 일체로 구성되어 있고, 동일한 폭, 동일한 스페이스로 Y방향을 따라서 직선적으로 연장하여 있다. 게이트 전극(8A)(워드선(WL))의 폭, 즉 게이트 길이와, 인접하는 2개의 게이트 전극(8A)(워드선(WL))의 스페이스는, 모두 포토리소그라피의 해상한계에서 결정되는 최소가공치수와 같은 정도이다. 게이트 전극(8A)(워드선(WL))은 예컨대 P(인) 등의 n형 불순물이 도핑된 저저항 다결정 실리콘막과, 그 상부에 형성된 WN(텅스텐나이트라이드)막 등으로 이루어지는 장벽 금속층과, 그 상부에 형성된 W(텅스텐)막 등의 고용점 금속막으로 구성된 폴리메탈구조를 가지고 있다. 폴리메탈구조의 게이트전극(8A)(워드선(WL))은, 다결정 실리콘막이나 폴리사이드막으로 구성된 게이트 전극에 비하여 전기저항이 낮으므로 워드선의 신호지연을 저감할 수 있다.

DRAM의 주변회로는 n 채널형 MISFET(Qn)과 p 채널형 MISFET(Qp)로 구성되어 있다. n 채널형 MISFET(Qn)은 p형 웰(2)에 형성되고, 주로 게이트산화막(7), 게이트 전극(8B) 및 소스, 드레인을 구성하는 한 쌍의 n+형 반도체 영역(10, 10)에 의해 구성되어 있다. 또한, p 채널형 MISFET(Qp)은 n형 웰(4)에 형성되고, 주로 게이트 산화막(7), 게이트전극(8C) 및, 소스, 드레인을 구성하는 한 쌍의 p+형 반도체 영역(11, 11)에 의해 구성되어 있다. 게이트전극(8B, 8C)은 게이트 전극(8A)(워드선(WL))과 동일한 폴리메탈구조로 구성되어 있다. 주변회로를 구성하는 n 채널형 MISFET(Qn)과 p 채널형 MISFET(Qp)은 메모리셀보다도 완화된 디자인룰(milder design rule)로 제조되어 있다.

메모리셀 선택용 MISFET(Qs)의 게이트 전극(8A)(워드선(WL))의 상부에는 질화실리콘막(12)이 형성되어 있고, 이 질화실리콘막(12)의 상부 및 측벽과 게이트 전극(8A)(워드선(WL))의 측벽에는 질화실리콘막(13)이 형성되어 있다. 또한, 주변회로의 MISFET의 게이트 전극(8B, 8C)의 각각의 상부에는 질화실리콘막(12)이 형성되어 있고, 게이트 전극(8B, 8C)의 각각의 측벽에는 질화실리콘막(13)으로 구성된 사이드월스페이스(13s)가 형성되어 있다.

메모리어레이의 질화실리콘막(12)과 질화실리콘막(13)은, 후술하는 바와 같이 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체 영역(9, 9))의 상부에 셀프알라인(자기정합)으로 콘택트홀을 형성할 때의 에칭스톱퍼로서 사용된다. 또한, 주변회로의 사이드월스페이스(13s)는 n 채널형 MISFET(Qn)의 소스, 드레인과 p 채널형 MISFET(Qp)의 소스, 드레인을 LDD(Lightly Doped Drain) 구조로 하기 위해서 사용된다.

메모리셀 선택용 MISFET(Qs), n 채널형 MISFET(Qn) 및 p 채널형 MISFET(Qp)의 각각의 상부에는 SOG막(16)이 형성되어 있다. 또한, 이 SOG막(16)의 더 상부에는 2층의 산화실리콘막(17, 18)이 형성되어 있고, 상층의 산화실리콘막(18)은 그 표면이 반도체 기판(1)의 전역에서 거의 동일한 높이가 되도록 평탄화되어 있다.

메모리셀 선택용 MISFET(Qs)의 소스, 드레인을 구성하는 한 쌍의 n형 반도체 영역(9, 9)의 상부에는 산화실리콘막(18, 17) 및 SOG막(16)을 관통하는 콘택트홀(19, 20)이 형성되어 있다. 이들의 콘택트홀(19, 20)의 내부에는 n형 불순물(예컨대 P(인))을 도핑한 저저항의 다결정 실리콘막으로 구성된 플러그(21)가 매립되어 있다.

콘택트홀(19, 20)의 각각의 저부의 X방향의 직경은 대향하는 2개의 게이트 전극(8A)(워드선(WL))의 한쪽의 측벽의 질화 실리콘막(13)과 다른 쪽의 측벽의 질화실리콘막(13)의 스페이스에 의해 규정되어 있다. 즉, 콘택트홀(19, 20)은 게이트 전극(8A)(워드선(WL))의 스페이스에 대하여 셀프알라인으로 형성되어 있다.

한 쌍의 콘택트홀(19, 20) 중, 정보축적용 용량소자(C)를 접속하기 위한 콘택트홀(20)의 Y방향의 직경은, 활성영역(L)의 Y방향의 치수보다도 작다. 이것에 대하여 비트선(BL)을 접속하기 위한 콘택트홀(19)(2개의 메모리셀 선택용 MISFET(Qs)에 의해 공유된 n형 반도체 영역(9)상의 콘택트홀)의 Y방향의 직경은, 활성영역(L)의 Y방향의 치수보다도 크다. 즉, 콘택트홀(19)은 Y방향의 직경이 X방향의(상단부의) 직경보다도 큰 거의 장방형의 평면패턴으로 구성되어 있고, 그 일부는 활성영역(L)으로부터 벗어나 소자분리홈(6) 상에 연장하여 있다. 콘택트홀(19)을 이와 같은 패턴으로 구성하는 것에 의해 콘택트홀(19)을 통하여 비트선(BL)과 n형 반도체 영역(9)을 전기적으로 접속할 때에, 비트선(BL)의 폭을 일부에서 크게 하여 활성영역(L)의 상부까지 연장한다거나 활성영역(L)의 일부를 비트선(BL) 방향으로 연장한다든지 하지 않아도 되므로, 메모리셀사이즈를 축소하는 것이 가능하게 된다.



산화실리콘막(18)의 상부에는 산화실리콘막(28)이 형성되어 있다. 콘택트홀(19)의 상부의 산화실리콘막(28)에는 스루홀(22)이 형성되어 있고, 그 내부에는 하층으로부터 차례로 Ti막, TiN막, W막을 적층한 도전막으로 이루어지는 플러그(35)가 매립되어 있다. 또한, 이 플러그(35)와 스루홀(22)의 하부의 콘택트홀(19)에 매립된 플러그(21)와의 계면에는 플러그(35)의 일부를 구성하는 Ti막과 플러그(21)를 구성하는 다결정 실리콘막과의 반응에 의해 생긴 TiSi

<sub>2</sub>(티탄실리사이드)층(37)이 형성되어 있다. 스루홀(22)은 활성영역(L)으로부터 벗어난 소자분리홀(6)의 상측에 배치되어 있다.

산화 실리콘막(28)의 상부에는 비트선(BL)이 형성되어 있다. 비트선(BL)은 소자분리홀(6)의 상측에 배치되어 있고, 동일한 쪽, 동일한 스페이스로 X 방향을 따라서 직선적으로 연장하여 있다. 비트선(BL)은 W막으로 구성되어 있고, 산화실리콘막(28)에 형성된 스루홀(22) 및 그 하부의 절연막(산화실리콘막(28, 18, 17), SOG막(16) 및 게이트 산화막(7))에 형성된 콘택트홀(19)을 통하여 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 한쪽(2개의 메모리셀 선택용 MISFET(Qs)에 의해 공유된 n형 반도체 영역(9))과 전기적으로 접속되어 있다. 또한, 비트선(BL)은 인접하는 비트선(BL)과의 사이에 형성되는 기생용량을 뺄 수 있는 한 저감하기 위해 그 스페이스를 가능한 한 넓게 하고 있다.

비트선(BL)의 스페이스를 넓게 하여 기생용량을 저감하는 것에 의해 메모리셀사이즈를 축소할 경우라도, 정보축적용 용량소자(C)에 축적된 전하(정보)를 판독할 때의 신호전압을 크게 할 수 있다. 또한, 비트선(BL)의 스페이스를 넓게 하는 것에 의해, 후술하는 비트선(BL)의 스페이스 영역에 형성되는 스루홀(정보축적용 용량소자(C)와 콘택트홀(20)을 접속하는 스루홀)(48)의 개공(開孔) 마진을 충분히 확보할 수 있게 되므로, 메모리셀사이즈를 축소할 경우라도 비트선(BL)과 스루홀(48)의 단락(short circuit)을 확실히 방지할 수 있다.

또한, 비트선(BL)을 금속(W)으로 구성하는 것에 의해 그 시트저항을  $2\Omega/\square$  정도까지 저감할 수 있으므로, 정보의 판독, 기록을 고속으로 행할 수 있다. 또한, 비트선(BL)과 후술하는 주변회로의 배선(23 ~ 26)을 동일한 공정으로 동시에 형성할 수 있으므로, DRAM의 제조공정을 간략화할 수 있다. 또한, 비트선(BL)을 내열성 및 일렉트로마이그레이션(electromigration) 내성이 높은 금속(W)으로 구성함으로써, 비트선(BL)의 폭을 미세화한 경우라도, 단선을 확실히 방지할 수 있다.

주변회로의 산화실리콘막(28)의 상부에는 제1층째의 배선(23 ~ 26)이 형성되어 있다. 이들의 배선(23 ~ 26)은 비트선(BL)과 동일한 도전재료(W)로 구성되어 있고, 후술하는 바와 같이 비트선(BL)을 형성하는 공정으로 동시에 형성된다. 배선(23 ~ 26)은, 산화실리콘막(28, 18, 17) 및 SOG막(16)에 형성된 콘택트홀(30~34)을 통하여 주변회로의 MISFET(n 채널형 MISFET(Qn), p 채널형 MISFET(Qp))과 전기적으로 접속되어 있다.

주변회로의 MISFET과 배선(23 ~ 26)을 접속하는 콘택트홀(30 ~ 34)의 내부에는 하층으로부터 차례로 Ti막, TiN막, W막을 적층한 도전막으로 이루어지는 플러그(35)가 매립되어 있다. 또한, 이들의 콘택트홀(30 ~ 34) 중, 주변회로의 MISFET의 소스, 드레인(n+형 반도체 영역(10) 및 p+형 반도체 영역(11))의 상부에 형성된 콘택트홀(30 ~ 34)의 저부에는, 플러그(35)의 일부를 구성하는 Ti막과 반도체 기판(1)(Si)과의 반응에 의해 생긴 TiSi

<sub>2</sub> 층(37)이 형성되어 있고, 이것에 의해 플러그(35)와 소스, 드레인(n+형 반도체 영역(10) 및 p+형 반도체 영역(11))과의 콘택트저항이 저감되고 있다.

비트선(BL)과 제1층째의 배선(23 ~ 26)의 각각의 상부에는 산화실리콘막(38)이 형성되어 있고, 이 산화실리콘막(38)의 더 상부에는 SOG막(39) 형성되어 있다. SOG막(39)은, 그 표면이 반도체 기판(1)의 전역에서 거의 동일한 높이가 되도록 평탄화되어 있다.

메모리어레이의 SOG막(39)의 상부에는 질화실리콘막(44)이 형성되어 있고, 이 질화 실리콘(44)의 더 상부에는 정보축적용 용량소자(C)가 형성되어 있다. 정보축적용 용량소자(C)는, 하부전극(축적전극)(45)과 상부전극(플레이트 전극)(47)과 그들의 사이에 마련된 Ta

<sub>2</sub>O<sub>5</sub>(산화 탄탈)막(46)에 의해 구성되어 있다. 하부전극(45)은 예컨대 P(인)이 도핑된 저저항 다결정 실리콘막으로 이루어지고, 상부전극(47)은 예컨대 TiN막으로 이루어진다.

정보축적용 용량소자(C)의 하부전극(45)은, 도 4의 X 방향을 따라서 똑바로 연장하여 있는 가늘고 긴 패턴으로 구성되어 있다. 하부전극(45)은 질화 실리콘막(44), SOG막(39) 및 그 하층의 산화 실리콘막(38, 28)을 관통하는 스루홀(48) 내에 매립된 플러그(49)를 통하여 콘택트홀(20) 내의 플러그(21)와 전기적으로 접속되고, 또한 이 플러그(21)를 통하여 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 다른 쪽(n형 반도체 영역(9))과 전기적으로 접속되어 있다. 하부전극(45)과 콘택트홀(20)과의 사이에 형성된 스루홀(48)은, 비트선(BL) 또는 그 하부의 플러그(35)와의 단락을 확실히 방지하기 위해서 최소가공치수보다도 미세한 직경(예컨대  $0.14\mu\text{m}$ )으로 구성되어 있다. 이 스루홀(48)내에 매립된 플러그(49)는, 예컨대 P(인)이 도핑된 저저항 다결정 실리콘막으로 구성되어 있다.

주변회로의 SOG막(39)의 상부에는 정보축적용 용량소자(C)의 하부전극(45)과 거의 동일한 높이의 두터운 막두께를 가지는 산화실리콘막(50)이 형성되어 있다. 주변회로의 산화실리콘막(50)을 이와 같은 두터운 막두께로 형성함으로써, 정보축적용 용량소자(C)의 상부에 형성되는 층간 절연막(56)의 표면이 메모리어레이와 주변회로에서 거의 동일한 높이가 된다.

정보축적용 용량소자(C)의 상부에는 층간 절연막(56)이 형성되고, 또 그 상부에는 제2층째의 배선(52, 53)이 형성되어 있다. 층간 절연막(56)은 산화실리콘막으로 구성되어 있고, 제2층째의 배선(52, 53)은 Al(알루미늄)을 주체로 하는 도전막으로 구성되어 있다. 주변회로에 형성된 제2층째의 배선(53)은 그 하층의 절연막(층간 절연막(56), 산화실리콘막(50), SOG막(39), 산화실리콘막(38))에 형성된 스루홀(54)을 통하여 제1층째의 배선(26)과 전기적으로 접속되어 있다. 이 스루홀(54)의 내부에는, 예컨대 Ti막, TiN막 및 W막으로 이루어지는 플러그(55)가 매립되어 있다.

제2층째의 배선(52, 53)의 상부에는 제2의 층간 절연막(63)이 형성되고, 또 그 상부에는 제3층째의 배선(57, 58, 59)이 형성되어 있다. 층간 절연막(63)은 산화실리콘계의 절연막(예컨대, 산화실리콘막과 SOG막과 산화실리콘막으로 이루어지는 3층의 절연막)으로 구성되어 있고, 제3층째의 배선(57, 58, 59)은 제2층째의 배선(52, 53)과 동일하며, Al을 주체로 하는 도전막으로 구성되어 있다.

제3층째의 배선(58)은, 그 하층의 층간 절연막(63, 56)에 형성된 스루홀(60)을 통하여 정보축적용 용량소자(C)의 상부전극(47)과 전기적으로 접속되어 있고, 주변회로의 제3층째의 배선(59)은 그 하층의 층간 절연막(63)에 형성된 스루홀(61)을 통하여 제2층째의 배선(53)과 전기적으로 접속되어 있다. 이들의 스루홀(60, 61)의 내부에는, 예컨대 Ti막, TiN막 및 W막으로 이루어지는 플러그(62)가 매립되어 있다.

다음에, 상기와 같이 구성된 DRAM의 제조방법의 일례를 도 5 ~ 도 38을 사용하여 공정순으로 설명한다.

우선, 도 5에 나타내는 바와 같이 p형으로서 비저항이  $10\Omega\text{cm}$  정도의 단결정 실리콘으로 이루어지는 반도체 기판(1)의 주면의 소자분리영역에 소자분리홈(6)을 형성한다. 소자분리홈(6)은 반도체 기판(1)의 표면을 에칭하여 깊이 300 ~ 400nm 정도의 홈을 형성하고, 다음으로 이 홈의 내부를 포함하는 반도체 기판(1)상에 CVD 법으로 산화실리콘막(5)을 퇴적한 후, 이 산화실리콘막(5)을 화학적 기계연마(chemical Mechanical Polishing; CMP)법으로 폴리시백(polishing back)하여 형성한다.

다음에, 도 6에 나타내는 바와 같이, 메모리셀을 형성하는 영역(메모리어레이)의 반도체 기판(1)에 n형 불순물, 예컨대 P(인)을 이온 주입하여 n형 반도체 영역(3)을 형성한 후, 메모리어레이와 주변회로의 일부(n 채널형 MISFET(Qn))를 형성하는 영역에 p형 불순물, 예컨대 B(붕소)를 이온 주입하여 p형 웰(2)을 형성하고, 주변회로의 다른 일부(p 채널형 MISFET(Qp))를 형성하는 영역에 n형 불순물, 예컨대 P(인)을 이온 주입하여 n형 웰(4)을 형성한다.

이어서, MISFET의 문턱치 전압을 조정하기 위한 불순물, 예컨대  $\text{BF}_2$ (플루오르화 붕소)를 p형 웰(2) 및 n형 웰(4)에 이온주입하고, 다음으로 p형 웰(2) 및 n형 웰(4)의 각각의 표면을 HF(플루오르화 수소산)계의 세정액으로 세정한 후, 반도체 기판(1)을 습식 산화하여 p형 웰(2) 및 n형 웰(4)의 각각의 표면에 막두께 7nm 정도의 청정한 게이트 산화막(7)을 형성한다.

다음에, 도 7에 나타내는 바와 같이, 게이트 산화막(7)의 상부에 게이트 전극(8A)(워드선(WL)) 및 게이트 전극(8B, 8C)을 형성한다. 게이트 전극(8A)(워드선(WL)) 및 게이트 전극(8B, 8C)은, 예컨대 P(인) 등의 n형 불순물을 도핑한 막두께 70nm 정도의 다결정 실리콘막을 반도체 기판(1) 상에 CVD 법으로 퇴적하고, 다음으로 그 상부에 막두께 5nm 정도의 WN(텅스텐나이트라이드) 막과 막두께(100nm) 정도의 W막을 스퍼터링법으로 퇴적하고, 또 그 상부에 막두께 200nm 정도의 질화실리콘막(12)을 CVD 법으로 퇴적한 후, 포토레지스트막을 마스크로 하여 이들의 막을 패터닝하는 것에 의해 형성한다. WN 막은, 고온열처리시에 W막과 다결정 실리콘막이 반응하여 양자의 계면에 고저항의 실리사이드층이 형성되는 것을 방지하는 장벽층으로서 기능한다. 장벽층으로는 WN막 고융점 금속 질화막, 예컨대 TiN(티탄나이트라이드)막을 사용할 수도 있다. 메모리셀 선택용 MISFET(Qs)의 게이트 전극(8A)(워드선(WL))은, 예컨대 파장 248nm의 KrF 엑시머 레이저를 광원으로 사용한 노광기술과 위상시프트 기술을 사용하여 형성한다.

다음에, 도 8에 나타내는 바와 같이 n형 웰(4)에 p형 불순물, 예컨대 B(붕소)를 이온 주입하여 게이트 전극(8C)의 양측의 n형 웰(4)에 p-형 반도체 영역(15)을 형성한다. 또한, p형 웰(2)에 n형 불순물, 예컨대 P(인)을 이온주입하여 게이트 전극(8A)의 양측의 p형 웰(2)에 n-형 반도체 영역(9a)을 형성하고, 게이트 전극(8B)의 양측의 p형 웰(2)에 n-형 반도체 영역(14)을 형성한다. 여기까지의 공정에 의해 메모리셀 선택용 MISFET(Qs)이 거의 완성된다.

다음에, 도 9에 나타내는 바와 같이, 반도체 기판(1) 상에 CVD법으로 막두께 50nm 정도의 질화실리콘막(13)을 퇴적한 후, 메모리어레이의 질화실리콘막(13)을 포토레지스트막으로 피복하고, 주변회로의 질화실리콘막(13)을 이방성 에칭하는 것에 의해 주변회로의 게이트 전극(8B, 8C)의 측벽에 사이드월스페이스(13s)를 형성한다. 이 에칭은 소자분리홈(6)에 매립된 산화실리콘막(5)과 게이트 산화막(7)의 컷팅량을 최소로 하기 위해서 질화실리콘막(13)을 높은 선택비로 에칭하는 가스를 사용하여 행한다. 또한, 게이트 전극(8B, 8C) 상의 질화실리콘막(12)의 컷팅량을 최소로 하기 위해서, 오버에칭량을 필요최소량으로 한정하도록 한다.

다음에, 도 10에 나타내는 바와 같이 주변회로의 n형 웰(4)에 p형 불순물, 예컨대 B(붕소)를 이온주입하여 p 채널형 MISFET(Qp)의 p+형 반도체 영역(11)(소스, 드레인)을 형성하고, 주변회로의 p형 웰(2)에 n형 불순물, 예컨대 As(비소)를 이온주입하여 n 채널형 MISFET(Qn)의 n+형 반도체 영역(10)(소스, 드레인)을 형성한다. 여기까지의 공정에 의해 LDD 구조를 구비한 p 채널형 MISFET(Qp) 및 n 채널형 MISFET(Qn)이 거의 완성된다.

다음에, 도 11에 나타내는 바와 같이, 반도체 기판(1)상에 막두께 300nm 정도의 SOG막(16)을 스프인도포하고, 수증기를 포함하는 400℃ 정도의 산소분위기 중에서 베이킹처리를 행한 후, 또 800℃, 1분 정도의 열처리를 행하여 이 SOG막(16)을 덴시파이(치밀화)한다. SOG막(16)에는 예컨대 폴리실라잔계(polysilazan-based)의 무기(無機) SOG를 사용한다.

SOG막(16)은 BPSG막 등의 글래스플로우(glass flow)막에 비하여 리플로우성이 높으며, 미세한 스페이스의 갭필(gap fill)성이 뛰어나므로, 포토리소그래피의 해상한계정도까지 미세화된 게이트 전극(8A)(워드선(WL))의 스페이스에 매립되어도 보이드(void)가 생기는 일이 없다. 또한, SOG막(16)은 BPSG막 등에서 필요로 하는 고온, 장시간의 열처리를 행하지 않더라도 높은 리플로우성이 얻어지므로, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인이나 주변회로의 MISFET(n 채널형 MISFET(Qn), p 채널형 MISFET(Qp))의 소스, 드레인에 주입된 불순물의 열확산을 억제하여 얇은 접합화를 도모할 수 있음과 동시에, 열처리 시에 게이트 전극(8A)(워드선(WL)) 및 게이트 전극(8B, 8C)을 구성하는 금속(W막)이 산화하는 것을 억제할 수 있으므로, 메모리셀 선택용 MISFET(Qs) 및 주변회로의 MISFET의 고성능화를 실현할 수 있다.

다음에, 도 12에 나타내는 바와 같이, SOG막(16)의 상부에 막두께 600nm 정도의 산화실리콘막(17)을 퇴적하고, 다음으로 이 산화실리콘막(17)을 CMP법으로 연마하여 그 표면을 평탄화한 후, 그 상부에 막두께 100nm 정도의 산화실리콘막(18)을 퇴적한다. 상층의 산화실리콘막(18)은 CMP법으로 연마된 때에 생긴 하층의 산화실리콘막(17)의 표면의 미세한 홈을 보수하기 위해서 퇴적한다.

다음에, 도 13에 나타내는 바와 같이, 포토레지스트막(27)을 마스크로 한 건식에칭으로 메모리셀 선택용 MISFET(Qs)의 n-형 반도체 영역(소스, 드레인)(9a)의 상부의 산화실리콘막(18, 17)을 제거한다. 이 에칭은, 산화실리콘막(17)의 하층의 질화실리콘막(13)이 제거되는 것을 방지하기 위해, 산화실리콘막(17)을 높은 선택비로 에칭하는 가스를 사용하여 행한다.

이어서 도 14에 나타내는 바와 같이, 상기 포토레지스트막(27)을 마스크로 한 건식에칭으로 n-형 반도체 영역(소스, 드레인)(9a)의 상부의 질화실리콘막(13)을 제거하고, 다음으로 그 하층의 얇은 게이트 산화막(7)을 제거하는 것에 의해 n-형 반도체 영역(소스, 드레인)(9a)의 한쪽의 상부에 콘택트홀(19)을 형성하고, 다른 쪽의 상부에 콘택트홀(20)을 형성한다.

질화실리콘막(13)의 에칭은, 반도체기판(1)이나 소자분리홀(6)의 커팅량을 최소로 하기 위해, 질화실리콘막(13)을 높은 선택비로 에칭하는 가스를 사용하여 행한다. 또한, 이 에칭은 질화실리콘막(13)을 이방적으로 에칭하는 것과 같은 조건에서 행하며, 게이트 전극(8A)(워드선(WL))의 측벽에 질화실리콘막(13)을 남기도록 한다. 이것에 의해 저부의 직경(X방향의 직경)이 포토리소그래피의 해상한계이하의 미세한 콘택트홀(19, 20)을 게이트 전극(8A)(워드선(WL))의 스페이스에 대하여 자기정합으로 형성할 수 있다.

다음으로, 포토레지스트막(27)을 제거한 후, 플루오르화 수소산 계의 에칭액(예컨대 플루오르화 수소산 + 플루오르화 암모늄 혼합액)을 사용하여, 콘택트홀(19, 20)의 저부에 노출한 반도체기판(1)의 표면을 세정하고, 건식에칭 잔사나 포토레지스트 잔사 등을 제거한다. 이때 콘택트홀(19, 20)의 측벽에 노출한 SOG막(16)도 에칭액에 노출되지만, 800℃ 정도의 고온으로 덴시파이(치밀화)한 SOG막(16)은 이 덴시파이 처리를 행하지 않는 SOG막에 비하여 플루오르화 수소산 계의 에칭액에 대한 내성이 높으므로, 이 습식에칭 처리에 의해 콘택트홀(19, 20)의 측벽이 크게 언더컷(undercut)되는 일은 없다. 이것에 의해, 다음의 공정에서 콘택트홀(19, 20)의 내부에 매립되는 플러그(21)끼리의 단락을 확실히 방지할 수 있다.

또한, 상기 콘택트홀(19, 20)을 형성한 후 이 콘택트홀(19, 20)을 통하여 p형 웰(2)에 n형 불순물(예컨대 인)을 이온 주입함으로써, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인보다도 깊은 영역의 p형 웰(2)에 n형 반도체층을 형성해도 된다. 이 n형 반도체층은 소스, 드레인의 단부에 집중하는 전계를 완화하는 효과가 있으므로, 소스, 드레인의 단부의 리키지 전류를 저감하여 메모리셀의 리프레시(refresh)특성을 향상시킬 수 있다.

다음에, 도 15에 나타내는 바와 같이, 콘택트홀(19, 20)의 내부에 플러그(21)를 형성한다. 플러그(21)는, 산화실리콘막(18)의 상부에 n형 불순물(예컨대, As(비소))을 도핑한 막두께 300nm 정도의 다결정 실리콘막을 CVD법으로 퇴적한 후, 이 다결정 실리콘막을 CMP법으로 연마하여 콘택트홀(19, 20)의 내부에 남김으로써 형성한다.

이어서, 산화실리콘막(18)의 상부에 막두께 200nm 정도의 산화실리콘막(28)을 CVD법으로 퇴적한 후, 질소가스 분위기 중에서 800℃, 1분 정도의 열처리를 행한다. 이 열처리에 의해 플러그(21)를 구성하는 다결정 실리콘막 중의 n형 불순물이 콘택트홀(19, 20)의 저부로부터 메모리셀 선택용 MISFET(Qs)의 n-형 반도체영역(9a)으로 확산하고, 저저항의 n형 반도체영역(소스, 드레인)(9)이 형성된다.

다음에, 도 16에 나타내는 바와 같이 포토레지스트막을 마스크로 한 건식에칭으로 콘택트홀(19)의 상부의 산화실리콘막(28)을 제거함으로써, 스루홀(22)을 형성한다. 이 스루홀(22)은 활성영역(L)으로부터 벗어난 소자분리홀(6)의 상방에 배치한다.

이어서, 포토레지스트막을 마스크로 한 건식에칭으로 주변회로의 산화실리콘막(28, 18, 17), SOG막(16) 및 게이트산화막(7)을 제거함으로써, n 채널형 MISFET(Qn)의 n<sup>+</sup>형 반도체영역(10)(소스, 드레인)의 상부에 콘택트홀(30, 31)을 형성하고, P 채널형 MISFET(Qp)의 p<sup>+</sup>형 반도체영역(11)(소스, 드레인)의 상부에 콘택트홀(32, 33)을 형성한다. 또한, 이때 동시에 P 채널형 MISFET(Qp)의 게이트 전극(8C)의 상부에 콘택트홀(34)을 형성하고, n 채널형 MISFET(Qn)의 게이트 전극(8B)의 상부에 도시하지 않은 콘택트홀을 형성한다.

상기한 바와 같이, 스루홀(22)을 형성하는 에칭과 콘택트홀(30~34)을 형성하는 에칭을 별도의 공정으로 행함으로써, 주변회로의 깊은 콘택트홀(30~34)을 형성할 때에 메모리어레이의 얇은 스루홀(22)의 저부에 노출한 플러그(21)를 깊게 커팅되는 문제를 방지할 수 있다. 또한, 스루홀(22)의 형성과 콘택트홀(30~34)의 형성은 상기와 반대의 순서로 행해도 된다.

다음에, 도 17에 나타내는 바와 같이, 콘택트홀(30~34)과 스루홀(22)의 내부를 포함하는 산화실리콘막(28)의 상부에 막두께 40nm 정도의 Ti막(36)을 퇴적한다. Ti막(36)은, 애스펙트비가 큰 콘택트홀(30~34)의 저부에서도 10nm 정도이상의 막두께

를 확보할 수 있는 콜리메이션스퍼터(collimation sputter) 등의 고지향성 스퍼터링법을 사용하여 퇴적한다.

이어서, Ti막(36)을 대기에 노출하지 않고, Ar(아르곤)가스 분위기중에서 650℃, 30초 정도의 열처리를 행하고, 또한 질소가스 분위기중에서 750℃, 1분 정도의 열처리를 행한다. 이 열처리에 의해 도 18에 나타난 바와 같이, 콘택트홀(30~33)의 저부의 Si기판과 Ti막(36)이 반응하고, n 채널형 MISFET(Qn)의 n

\*형 반도체영역(10)(소스, 드레인)의 표면과 p 채널형 MISFET(Qp)의 p\*형 반도체영역(11)(소스, 드레인)의 표면에 막두께 10nm 정도의  $TiSi_2$ 층(37)이 형성된다. 또한, 상기 질소가스 분위기중에서의 열처리에 의해 콘택트홀(30~34)의 측벽에 퇴적한 얇은 Ti막(36)의 표면이 산화되어, Si와 반응하기 어려운 안정한 막으로 된다.

또한 이때, 산화실리콘막(28)의 상부의 Ti막(36)의 표면도 질화되지만, 표면이외의 부분은 질화되지 않고서 미반응인 채로 남는다. 또한, 스루홀(22)의 저부의 플러그(21)의 표면에는 플러그(21)를 구성하는 다결정 실리콘막과 Ti막(36)의 반응에 의해  $TiSi$

$_2$ 층(37)이 형성된다. 콘택트홀(30~33)의 저부에  $TiSi$

$_2$ 층(37)을 형성함으로써, 다음 공정에서 콘택트홀(30~33)의 내부에 형성되는 플러그(35)와, 주변회로의 MISFET의 소스, 드레인(n\*형 반도체영역(10), P\*형 반도체영역(11))이 접촉하는 부분의 콘택트 저항을  $1K\Omega$ 이하까지 저감할 수 있으므로, 센스 앰프(SA)나 워드드라이버(WD)등의 주변회로의 고속동작이 가능하게 된다. 콘택트홀(30~33)의 저부의 실리콘사이드층은,  $TiSi$

$_2$ 이외의 고용점 금속 실리콘사이드, 예컨대  $CoSi_2$ (코발트실리콘사이드),  $TaSi_2$ (탄탈실리콘사이드),  $MoSi_2$ (몰리브덴실리콘사이드)등으로 구성하는 것도 가능하다.

다음으로, 도 19에 나타난 바와 같이, Ti막(36)의 상부에 막두께 30nm 정도의 TiN막(40)을 CVD법에 의해 퇴적한다. CVD법은, 스퍼터링법에 비하여 스텝커버리지(step coverage)가 좋으므로, 애스펙트비가 큰 콘택트홀(30~34)의 저부에 평탄부와 같은 정도의 막두께의 TiN막(40)을 퇴적할 수 있다. 이어서, 육플루오르화 텅스텐(WF

$_6$ ), 수소 및 모노실란( $SiH_4$ )을 소스가스로 사용한 CVD법으로 TiN막(40)의 상부에 막두께 300nm 정도의 두터운 W막(41)을 퇴적하고, 콘택트홀(30~34) 및 스루홀(22)의 각각의 내부를 W막(41)으로 완전하게 매립한다.

또한,  $TiSi_2$ 층(37)을 형성한 직후에 미반응의 Ti막(36)을 에칭액으로 제거하면, P 채널형 MISFET(Qp)의 게이트 전극(8C)의 상부에 형성된 콘택트홀(34)의 내부나 n 채널형 MISFET(Qn)의 게이트 전극(8B)의 상부에 형성된 도시하지 않은 콘택트홀의 내부에도 에칭액이 침입하여, 폴리메탈 구조로 구성된 게이트 전극(8B, 8C)의 표면(W막)이 에칭되어 버린다. 이것을 방지하기 위해서, 본 실시 형태에서는, 콘택트홀(30~33)의 저부에  $TiSi$

$_2$ 층(37)을 형성한 후, 산화 실리콘막(28)의 상부나 콘택트홀(30~34)의 내부에 남은 미반응의 Ti막(36)을 남긴 채, 그 상부에 TiN막(40) 및 W막(41)을 퇴적한다.

다음에, 도 20에 나타난 바와 같이, CMP법을 사용하여 산화실리콘막(28)의 상부의 W막(41), TiN막(40) 및 Ti막(36)을 제거(폴리시백)함으로써, 콘택트홀(30~34) 및 스루홀(22)의 각각의 내부에 상기 W막(41), TiN막(40) 및 Ti막(36)으로 구성된 플러그(35)를 형성한다. 이 플러그(35)는, 산화실리콘막(28)의 상부의 W막(41), TiN막(40) 및 Ti막(36)을 건식에칭으로 제거(에칭)하는 것에 의해 형성해도 된다. 또한 이때, 산화실리콘막(28)상의 Ti막(36)의 제거가 불충분하면, 다음 공정에서 산화실리콘막(28)상에 형성되는 배선(23~26)의 일부가 나중의 고온 열처리 시에 산화실리콘막(28)의 표면으로부터 박리하는 일이 있으므로 주의를 요한다.

상기 플러그(35)는, 고용점 금속인 W막(41)을 주체로 하여 구성되어 있기 때문에 저항이 낮음과 동시에 내열성이 높다. 또한, W막(41)의 하층에 형성된 TiN막(40)은 W막(41)을 CVD법으로 퇴적할 때에 육플루오르화 텅스텐과 Si이 반응하여 결함(인크로치먼트(encroachment)나 웜홀(wormholes))이 발생하는 것을 방지하는 장벽층으로서 기능함과 동시에, 나중의 고온 열처리공정에서 W막(41)과 Si기판이 반응(실리콘사이드화 반응)하는 것을 방지하는 장벽층으로서 기능한다. 이 장벽층에는 TiN 이외의 고용점 금속 질화물(예컨대 WN막)등을 사용할 수도 있다.

플러그(35)는 W막(41)을 사용하지 않고서 TiN막(40)을 주체로 하여 구성해도 된다. 즉, 콘택트홀(30~34) 및 스루홀(22)의 각각의 내부에 두터운 막두께의 TiN막(40)을 매립하여 플러그(35)를 형성해도 된다. 이 경우는, W막(41)을 주체로 하여 구성한 경우에 비하여 플러그(35)의 저항이 높게 되지만, 다음의 공정에서 산화실리콘막(28)의 상부에 퇴적하는 W막(42)을 건식에칭하여 비트선(BL)과 주변회로의 제1층째의 배선(23~26)을 형성할 때에 TiN막(40)이 에칭스톱퍼로 되므로, 배선(23~26)과 콘택트홀(30~34)이 설치불량 마진이 매우 향상하여, 배선(23~26)의 레이아웃의 자유도가 대폭적으로 향상한다.

다음으로, 산화실리콘막(28)의 상부에 이하와 같은 방법으로 비트선(BL) 및 주변회로의 제1층째의 배선(23~26)을 형성한다.

우선, 도 21에 나타난 바와 같이 산화실리콘막(28)의 표면을 습식세정하여 연마잔사를 충분히 제거한 후, 그 상부에 막두께 100nm 정도의 W막(42)을 스퍼터링법으로 퇴적한다. 다음에, 도 22에 나타난 바와 같이, W막(42)의 상부에 형성한 포토레지스트막(43)을 마스크로 하여 W막(42)을 건식에칭하는 것에 의해, 비트선(BL) 및 주변회로의 제1층째의 배선(23~26)을 형성

한다. 또한, W막(42)은 광반사율이 높으므로, 노광 시에 포토레지스트막(43)이 할레이션(halation)을 일으켜 패턴(폭 및 스페이스)의 치수정밀도가 저하하는 일이 있다. 이것을 방지하기 위해서는 W막(42)의 상부에 반사 방지막을 얇게 퇴적하고 나서 포토레지스트막(43)을 도포하면 된다. 반사 방지막에는 유기(有機)계의 재료 또는 광반사율이 낮은 금속재료(예컨대 TiN막)를 사용한다.

여기서, 산화실리콘막과 그 상부에 퇴적한 각종 금속막과의 밀착성에 대하여 검토한 결과를 설명한다.

[표 1]

시료번호	방 법	계면상황	비 고
1	W/TiN/Ti	박리 발생	
2	W/TiN/TiNx	박리 발생	X=10%
3	W/TiN/TiNx	박리 발생	X=15%
4	W/TiN/TiNx	박리 발생	X=20%
5	W/TiN	박리 없음	
6	W	박리 없음	

주1) 800℃, 5분의 질소아닐 후주2) 베이스부 및 W위는 플라즈마 CVD-SiO<sub>2</sub>표 1은, 플라즈마 CVD법으로 퇴적한 산화 실리콘막의 표면에 6종류의 금속막(시료 1~6)을 퇴적하고, 800℃의 질소분위기 중에서 5분간 열처리한 후에 양자의 계면의 밀착성을 평가한 결과를 정리한 것이다. 전체의 시료에 있어서 W막은 스퍼터링법으로 퇴적하고, 막두께는 300nm로 하였다. 또한, 시료 1~5의 TiN막은 모두 반응성 스퍼터링법으로 퇴적하고, 막두께는 50nm로 하였다. 시료 2,3 및 4의 TiNx막은, 반응성 스퍼터링법으로 조성비(x)를 변화하여 퇴적하였다. 구체적으로는 Ar(아르곤)-질소 혼합가스의 질소분압을 조절하는 것에 의해 조성비(x)를 변화하였다. 시료 1의 Ti막은 스퍼터링법으로 퇴적하고, 막두께는 50nm로 하였다.

표에 나타내는 바와 같이, 시료 1~4는 계면에 박리가 발생하였지만, 시료 5, 6은 전혀 박리가 발생하지 않았다. 이것으로부터, Ti막 또는 Ti가 과잉한 상태로 포함된 Ti화합물 막과 산화실리콘막이 계면을 접한 상태에서 고온의 열처리를 행하면, 막의 벗겨짐이 발생하는 것이 판명되었다. 그래서, 산화물을 생성할 때의 열화학적 생성 에너지를 보면, W보다도 Si쪽이 산화물을 형성하기 쉽고, 또한 Ti쪽이 Si보다도 산화물을 형성하기 쉬운 에너지 변화로 되어 있다. 따라서, 이 물질고유의 성질이 상기한 막의 벗겨짐의 원인이라고 추정된다. 또한, 계면에 Ti 존재하는 경우라도 Ti 단일체로서는 아니며 안정한 질소화합물(TiN)로서 존재하는 경우에는, Ti-N 결합을 파괴하는 에너지가 필요로 되므로, 이것이 시료(5)에서 막의 벗겨짐이 발생하지 않았던 원인이라고 생각된다.

또한, 스루홀(22) 및 콘택트홀(30~34)에 있어서, 그 측벽은 Ti막(22)과 접촉한 채로 되어 있지만, 스루홀(22) 및 콘택트홀(30~34)의 플러그전극(35)은 하층의 다결정 실리콘플러그(21) 또는 반도체기판에 접촉되어 있기 때문에, 또한 플러그전극(35)의 상층에는 비트선(BL) 또는 배선(23~26)이 존재하므로 문제가 되지 않는다.

상술한 제조방법에서는 산화실리콘막(28)의 상부의 W막(41), TiN막(40) 및 Ti막(36)을 일단 제거하여 콘택트홀(30~34)의 내부와 스루홀(22)의 내부에 플러그(35)를 형성한 후, 산화실리콘막(28)의 상부에 새롭게 퇴적한 W막(42)을 패턴닝하여 비트선(BL) 및 배선(23~26)을 형성한다. 따라서, 이 방법에 의하면 W막(41), TiN막(40) 및 Ti막(36)을 패턴닝하여 비트선(BL) 및 배선(23~26)을 형성하는 경우에 비해 제조공정은 증가하지만, 나중에 비트선(BL)의 상부에 정보축적용 용량소자(C)를 형성할 때에 행해지는 고온 열처리에 의해 비트선(BL)이나 배선(23~26)이 막의 벗겨짐을 일으키는 불량을 확실하게 방지할 수 있다.

또한, 애스펙트비가 큰 콘택트홀(30~34)의 내부에 플러그(35)를 형성한 후, 비트선(BL) 및 배선(23~26)을 형성하기 위한 W막(42)을 산화실리콘막(28)의 상부에 퇴적하는 상기의 제조방법에 의하면, W막(42)을 퇴적할 때에 스루홀(22) 및 콘택트홀(30~34)의 내부로의 막의 매립을 고려할 필요가 없으므로, W막(42)을 얇은 막두께로 퇴적할 수 있다. 즉, 이 제조방법에 의하면, 비트선(BL)의 막두께를 얇게 할 수 있으므로, 인접하는 비트선(BL)의 사이에 형성되는 기생용량을 더 저감할 수 있다.

또한, 산화실리콘막(28)의 표면을 CMP법으로 연마하여 평탄화하고, 그 상부에 얇은 막두께의 W막(42)을 퇴적한 것에 의해 W막(42)을 에칭할 때의 오버에칭량을 적게 할 수 있으므로, 포토레지스트막(43)의 폭보다도 넓은 직경을 가지는 스루홀(22)의 내부의 플러그(35)가 깊게 컷팅되는 문제를 방지할 수 있다.

비트선(BL) 및 배선(23~26)은, CVD법으로 퇴적한 W막이나, W막과 TiN막의 적층막을 사용하여 형성해도 된다. 또한, 산화실리콘계의 절연막과의 밀착성이 양호한 다른 고용점 금속(예컨대 Mo막, Ta막)이나 그 질화물의 단층막 또는 그들의 적층막을 사용하여 형성해도 된다.

다음에, 도 23에 나타낸 바와 같이 비트선(BL)과 제1층재의 배선(23~26)의 각각의 상부에 막두께 100nm 정도의 산화실리콘막(38)을 퇴적하고, 이어서 산화실리콘막(38)의 상부에 막두께 250nm 정도의 SOG막(39)을 스프인도포한 후, 수증기를 포함하는 400℃ 정도의 산소분위기 중에서 베이크처리를 행하고, 또 800℃, 1분 정도의 열처리를 행하여 덴시파이(치밀화)함으로써, SOG막(39)의 표면을 평탄화한다.

상기와 같이, 산화실리콘막(28)의 표면을 평탄화하고, 그 상부에 얇은 막두께의 W막(39)을 퇴적하여 비트선(BL)과 제1층재의 배선(23~26)을 형성한 것에 의해, SOG막(39)의 베이스부 단차를 작게 할 수 있으므로 비트선(BL) 및 배선(23~26)의 각각의 상부를 2층의 절연막(산화실리콘막(38), SOG막(39))만으로 평탄화할 수 있다. 즉, 게이트전극(8A, 8B, 8C)의 상부를 평

탄화한 때와 같이, SOG막(16)의 상부에 또 산화실리콘막(17)을 퇴적하여 그 표면을 CMP법으로 연마하지 않더라도 충분한 평탄성을 확보할 수 있으므로, 제조공정을 단축할 수 있다.

또한, 비트선(BL)과 제1층재의 배선(23~26)에 의한 단차가 작은 경우에는 SOG막(39)을 사용하지 않고서 산화실리콘막(38)을 두텁게 퇴적하는 것만으로 평탄화를 도모할 수 있다. 다른 한편, 비트선(BL)과 배선(23~26)의 밀도차가 크며, SOG막(39)만으로는 충분한 평탄성이 얻어지지 않는 경우에는, SOG막(39)의 표면을 CMP법으로 연마하고, 또 그 상부에 SOG막(39)의 표면의 미세한 연마흔을 보수하기 위한 산화실리콘막을 퇴적해도 된다. 또한, SOG막(39)을 덴시파이하는 온도를 그다지 높게 할 수 없는 경우에는 그 내습성의 저하를 보충하기 위해 그 상부에 또 산화실리콘막을 퇴적해도 된다.

다음에, 도 24에 나타낸 바와 같이, SOG막(39)의 상부에 막두께 200nm 정도의 다결정 실리콘막(70)을 CVD법으로 퇴적한 후, 포토레지스트막을 마스크로 하여 이 다결정 실리콘막(70)을 건식에칭함으로써, 콘택트홀(20)의 상방에 스트루홀(71)을 형성한다. 이 스트루홀(71)은 그 직경이 최소가공치수와 같은 정도로 되도록 형성한다.

다음으로, 도 25에 나타낸 바와 같이, 스트루홀(71)의 측벽에 다결정 실리콘막으로 구성된 사이드월스페이스(72)를 형성한다. 사이드월스페이스(72)는 스트루홀(71)의 내부를 포함하는 다결정 실리콘막(70)의 상부에 막두께 60nm 정도의 얇은 제2의 다결정 실리콘막(미도시됨)을 CVD법으로 퇴적한 후, 이 다결정 실리콘막을 에칭하여 스트루홀(71)의 측벽에 남김으로써 형성한다. 이 사이드월스페이스(72)를 형성함으로써, 스트루홀(71)의 내경(안지름)은 최소가공치수보다도 미세하게 된다.

다음에, 도 26에 나타내는 바와 같이 다결정 실리콘막(70)과 사이드월스페이스(72)를 마스크로 하여 스트루홀(71)의 저부의 절연막(SOG막(39), 산화실리콘막(38, 28))을 건식에칭하는 것에 의해, 비트선(BL)과 이것에 인접하는 비트선(BL)과의 스페이스 영역을 통하여 콘택트홀(20)에 도달하는 스트루홀(48)을 형성한다.

스트루홀(48)은 최소가공치수보다도 미세한 내경을 가지는 스트루홀(71)의 측벽의 사이드월스페이스(72)를 마스크로 하여 형성되므로, 그 내경은 최소가공치수보다도 미세하게 된다. 이것에 의해 비트선(BL)의 스페이스 영역과 스트루홀(48)의 설치마진을 충분히 확보할 수 있으므로, 다음의 공정에서 스트루홀(48)의 내부에 매립되는 플러그(49)가 비트선(BL) 또는 그 하부의 플러그(35)와 단락하는 것을 확실히 방지할 수 있다.

다음에, 도 27에 나타내는 바와 같이 스트루홀(48)의 내부를 포함하는 다결정실리콘막(70)의 상부에 n형 불순물(예컨대 P(인))을 도핑한 막두께 200nm 정도의 다결정 실리콘막(미도시됨)을 CVD 법으로 퇴적한 후, 이 다결정 실리콘막을 다결정 실리콘막(70) 및 사이드월스페이스(72)와 함께 에칭하는 것에 의해 스트루홀(48)의 내부에 다결정 실리콘막으로 구성된 플러그(49)를 형성한다.

다음에, 도 28에 나타내는 바와 같이, SOG 막(39)의 상부에 막두께 200nm 정도의 질화 실리콘막(44)을 CVD 법으로 퇴적한 후, 포토레지스트막을 마스크로 한 건식에칭으로 주변회로의 질화 실리콘막(44)을 제거한다. 메모리어레이에 남은 질화 실리콘막(44)은 후술하는 정보축적용 용량소자(C)의 하부전극(45)을 형성하는 공정에서 산화실리콘막을 에칭할 때의 에칭스톱퍼로서 사용된다.

다음에 도 29에 나타낸 바와 같이, 질화 실리콘막(44)의 상부에 CVD 법으로 산화실리콘막(50)을 퇴적한 후, 포토레지스트막을 마스크로 하여 산화실리콘막(50) 및 그 하부의 질화 실리콘막(44)을 건식에칭하는 것에 의해 스트루홀(48)의 상부에 오목홀(73)을 형성한다. 정보축적용 용량소자(C)의 하부전극(45)은 이 오목홀(73)의 내벽을 따라 형성되므로, 하부전극(45)의 표면적을 크게 하여 축적전하량을 증가시키기 위해서는 산화실리콘막(50)을 두터운 막두께(예컨대, 1.3 $\mu$ m 정도)로 퇴적할 필요가 있다.

다음에, 도 30에 나타내는 바와 같이, 오목홀(73)의 내부를 포함하는 산화실리콘막(50)의 상부에 n형 불순물(예컨대 P(인))을 도핑한 막두께 60nm 정도의 다결정 실리콘막(45A)을 CVD 법으로 퇴적한다. 이 다결정 실리콘막(45A)은 정보축적용 용량소자(C)의 하부전극재료로서 사용된다.

다음에, 도 31에 나타낸 바와 같이, 오목홀(73)의 내부를 포함하는 다결정 실리콘막(45A)의 상부에 막두께 300nm 정도의 SOG막(74)을 스핀도포하고, 다음으로 400℃ 정도의 열처리를 행하여 SOG막(74)을 베이킹한 후, 오목홀(73)의 외부의 SOG막(74)을 에칭하여 제거한다.

다음에, 도 32에 나타낸 바와 같이 주변회로의 다결정실리콘막(45A)의 상부를 포토레지스트막(75)으로 피복하고, 메모리어레이의 산화실리콘막(50)의 상부의 다결정 실리콘막(45A)을 에칭(이방성 에칭)하여 제거함으로써, 오목홀(73)의 내벽을 따라 하부전극(45)이 형성된다. 하부전극(45)은 다결정 실리콘막(45A) 이외의 도전막으로 구성할 수도 있다. 하부전극용의 도전막은 다음의 공정에서 행해지는 용량절연막의 고온열처리에 의해 열화하지 않는 정도의 내열성 및 내산화성을 구비한 도전재료, 예컨대 W, Ru(루테튬) 등의 고용점 금속이나, RuO(산화 루테튬), IrO(산화 이리듐) 등의 도전성 금속산화물로 구성하는 것이 바람직하다.

다음에, 도 33에 나타낸 바와 같이, 오목홀(73)과 오목홀(73)과의 틈새에 남은 산화실리콘막(50), 및 오목홀(73)의 내부의 SOG막(74)을 플루오르화 수소산 계의 에칭액으로 동시에 제거한 후, 포토레지스트막(75)을 제거한다. 이어서, 메모리어레이를 피복하는 포토레지스트막을 마스크로 한 건식에칭으로 주변회로의 다결정 실리콘막(45A)을 제거함으로써, 통모양의 하부전극(45)이 완성한다. 오목홀의 틈새의 산화실리콘막(50)의 저부에는 질화 실리콘막(44)이 형성되어 있으므로, 산화실리콘막(50)을 습식에칭할 때에 하층의 SOG막(39)이 에칭되는 것은 아니다. 또한 이때, 주변회로의 표면은 다결정 실리콘막(45A)으

로 피복되어 있으므로, 그 하층의 두터운 산화실리콘막(50)이 에칭되는 것은 아니다.

주변회로에 두터운 막두께의 산화실리콘막(50)을 남김으로써, 다음의 공정에서 정보축적용 용량소자(C)의 상층에 형성되는 층간 절연막(56, 63)의 표면이 메모리어레이와 주변회로에서 거의 동일한 높이가 되므로, 층간 절연막(56)의 상부에 배치되는 제2층째의 배선(52, 53), 층간 절연막(63)의 상부에 배치되는 제3층째의 배선(57, 58) 및, 제2층째와 제3층째의 배선사이를 접속하는 스루홀(60, 61)의 형성이 용이하게 된다.

다음에, 암모니아 분위기 중에서 800℃, 3분 정도의 열처리를 행하여 하부전극(45)의 표면에 얇은 질화막(미도시됨)을 형성한 후, 도 34에 나타낸 바와 같이, 하부전극(45)의 상부에 막두께 14nm 정도의 얇은 Ta<sub>2</sub>O<sub>5</sub>(산화탄탈)막(46)을 퇴적한다. 하부전극(45)의 표면의 질화막은, 하부전극(45)을 구성하는 다결정실리콘막(45A)이 다음에 행하는 열처리에 의해 산화되는 것을 방지하기 위해 형성된다. 또한, Ta

<sub>2</sub>O<sub>5</sub>막(46)은 예컨대 펜타에톡시탄탈(Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)을 소스가스로 사용한 CVD 법으로 퇴적한다. CVD 법으로 퇴적한 Ta

<sub>2</sub>O<sub>5</sub>막(46)은 스텝커버리지가 좋으므로 입체적인 통형(筒型)형상을 가지는 하부전극(45)의 표면전체에 거의 균일한 막두께로 퇴적된다.

이어서, 800℃의 산화성 분위기중에서 Ta<sub>2</sub>O<sub>5</sub> 막(46)을 3분 정도 열처리한다. 이 고온 열처리를 행하는 것에 의해, 막중의 결정결함이 회복되어 결정화된 양질의 Ta

<sub>2</sub>O<sub>5</sub>막(46)이 얻어진다. 이것에 의해 정보축적용 용량소자(C)의 리키지 전류를 저감할 수 있으므로, 리프레시 특성을 향상한 DRAM을 제조할 수 있다.

또한, 정보축적용 용량소자(C)의 하부전극(45)을 입체적인 통형 형상으로 하여 그 표면적을 크게 하고, 또 용량절연막을 유전율이 20 ~ 25 정도의 Ta<sub>2</sub>O<sub>5</sub>막(46)으로 구성함으로써, 메모리셀을 미세화해도 정보의 유지에 충분한 축적전하량을 확보하는 것이 가능하게 된다.

또한, Ta<sub>2</sub>O<sub>5</sub>막(46)의 퇴적에 앞서 형성되는 하층의 비트선(BL) 및 제1층째의 배선(23 ~ 26)을 산화 실리콘계의 절연막과의 밀착성이 양호한 W막으로 구성한 것에 의해, Ta<sub>2</sub>O<sub>5</sub>막(46)의 고온열처리에 기인하여 비트선(BL)이나 배선(23 ~ 26)이 막의 벗겨짐을 일으키는 불량을 확실히 방지할 수 있다.

또한, 비트선(BL)을 내열성이 높은 W막으로 구성한 것에 의해, 최소가공치수이하의 미세한 폭으로 형성된 비트선(BL)이 Ta<sub>2</sub>O<sub>5</sub>막(46)의 고온열처리에 기인하여 열화하거나 단선하는 불량을 확실히 방지할 수 있다. 또한, 주변회로의 MISFET과 제1층째의 배선(23 ~ 26)을 접속하는 콘택트홀(30 ~ 35)의 내부의 플러그(35)를 내열성이 높은 도전재료(W막/TiN막/Ti막)로 구성함으로써, Ta

<sub>2</sub>O<sub>5</sub>막(46)의 고온 열처리에 기인하여 소스, 드레인의 리키지 전류가 증대한다든지 콘택트저항이 증대하는 문제를 방지할 수 있다.

정보축적용 용량소자(C)의 용량절연막은 예컨대 BST, STO, BaTiO<sub>3</sub>(티탄산 바륨), PbTiO<sub>3</sub>(티탄산 납), PZT(PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>), PLT(PbLa<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>), PLZT 등의 금속산화물로 이루어지는 고(강)유전체막으로 구성할 수도 있다. 이들의 고(강)유전체막은 그들에 공통의 성질로서 결정결함이 작은 고품질의 막을 얻기 위해서 막을 형성한 후에 적어도 750℃ 정도 이상의 고온열처리를 행할 필요가 있으므로, 이들의 고(강)유전체막을 사용한 경우라도 상기와 동일한 효과를 얻을 수 있다.

다음에, 도 35에 나타낸 바와 같이 Ta<sub>2</sub>O<sub>5</sub>막(46)의 상부에 CVD 법과 스퍼터링법을 병용하여 TiN 막을 퇴적한 후, 포토레지스트막을 마스크로 한 건식에칭으로 TiN 막 및 Ta<sub>2</sub>O<sub>5</sub> 막(46)을 패터닝함으로써 TiN막으로 이루어지는 상부전극(47)과, Ta<sub>2</sub>O<sub>5</sub>막(46)으로 이루어지는 용량절연막과, 다결정 실리콘막(45A)으로 이루어지는 하부전극(45)으로 구성된 정보축적용 용량소자(C)가 완성된다. 또한, 여기까지의 공정에 의해 메모리셀 선택용 MISFET(Qs)과 이것에 직렬로 접속된 정보축적용 용량소자(C)로 구성된 메모리셀이 완성한다. 정보축적용 용량소자(C)의 상부전극(47)은 TiN 막 이외의 도전막, 예컨대 W막 등으로 구성할 수도 있다.

다음에, 도 36에 나타낸 바와 같이, 정보축적용 용량소자(C)의 상부에 층간절연막(56)을 형성한 후, 포토레지스트막을 마스크로 하여 주변회로의 층간 절연막(56), 산화실리콘막(50), SOG 막(39) 및 산화실리콘막(39)을 에칭함으로써 제1층째의 배선(26)의 상부에 스루홀(54)을 형성한다. 층간 절연막(56)은 예컨대 CVD 법으로 퇴적한 막두께 600nm 정도의 산화실리콘막으로 구성한다.

다음에, 도 37에 나타낸 바와 같이, 스루홀(54)의 내부에 플러그(55)를 형성한 후, 층간 절연막(56)의 상부에 제2층째의 배선(52, 53)을 형성한다. 플러그(55)는, 예컨대 층간 절연막(56)의 상부에 스퍼터링법으로 Ti 막을 퇴적하고, 또 그 상부에 CVD 법으로 TiN막과 W막을 퇴적한 후, 이들의 막을 에칭(건식에칭)하여 스루홀(54)의 내부에만 남김으로써 형성한다. 제2층째의 배선(52, 53)은 층간 절연막(56)의 상부에 스퍼터링법으로 막두께 50nm 정도의 Ti막, 막두께 500nm 정도의 Al(알루미늄)막, 막두께 50nm 정도의 Ti 막 및 막두께 50nm 정도의 TiN 막을 순차 퇴적한 후, 포토레지스트막을 마스크로 한 건식에칭으로 이들의 막을 패터닝하여 형성한다.



정보축적용 용량소자(C)의 용량절연막을 형성한 후는, 고온의 열처리를 따르는 공정이 없기 때문에, 층간 절연막(56)의 상부에 형성되는 제2층째의 배선(52, 53)의 재료로서 고용점 금속이나 그 질화물에 비하여 내열성은 뒤떨어지지만, 전기저항이 낮은 Si를 주체로 한 도전재료를 사용할 수 있다. 또한, 고온의 열처리를 따르는 공정이 없음으로써 막의 벗겨짐의 문제도 생기지 않으므로, 산화 실리콘으로 구성된 층간 절연막(56)의 상부에 제2층째의 배선(52, 53)을 형성할 때, 층간 절연막(56)과 계면을 접하는 부분의 장벽 금속으로 Ti막을 사용할 수 있다.

다음에, 도 38에 나타내는 바와 같이, 제2층째의 배선(52, 53)의 상부에 제2의 층간 절연막(63)을 형성한 후, 정보축적용 용량소자(C)의 상부의 층간 절연막(63, 56)을 에칭하여 스루홀(60)을 형성하고, 주변회로의 제2층째의 배선(53)의 상부의 층간 절연막(63)을 에칭하여 스루홀(61)을 형성한다. 제2의 층간 절연막(63)은, 예컨대 CVD 법으로 퇴적한 막두께 300nm 정도의 산화실리콘막과 그 상부에 스피노도포한 막두께 400nm 정도의 SOG막과, 또 그 상부에 CVD법으로 퇴적한 막두께 300nm 정도의 산화실리콘막으로 구성한다. 층간 절연막(63)의 일부를 구성하는 SOG 막의 베이크는 Si를 주체로 하는 제2층째의 배선(52, 53)과 정보축적용 용량소자(C)의 용량절연막이 열화하는 것을 방지하기 위하여 400℃ 정도의 온도에서 행한다.

그후, 스루홀(60, 61)의 내부에 플러그(62)를 형성하고, 이어서 층간 절연막의 상부에 제3층째의 배선(57, 58, 59)을 형성하는 것에 의해, 상기 도 3에 나타내는 DRAM이 거의 완성된다. 플러그(62)는 예컨대 상기 플러그(55)와 동일한 도전재료(W 막/TiN막/Ti막)로 구성하고, 제3층째의 배선(57, 58, 59)은 예컨대 상기 제2층째의 배선(52, 53)과 동일한 도전재료(TiN막/Ti막/Ai막/Ti막)로 구성한다. 또한, 제3층째의 배선(57, 58, 59)의 상부에는 내수성(耐水性)이 높은 치밀한 절연막(예컨대 플라즈마 CVD법으로 퇴적한 산화실리콘막과 질화 실리콘막으로 이루어지는 2층의 절연막)을 퇴적하지만, 그 도시는 생략한다.

이상, 본 발명자에 의하여 이루어진 발명을 발명의 실시형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 말할 것도 없다.

본 발명은 DRAM과 논리 LSI나 플래시메모리를 동일한 반도체 칩 상에 혼재시키는 반도체 집적회로장치 등에 적용할 수 있다.

### 발명의 효과

본 발명에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

본 발명에 의하면, 정보축적용 용량소자의 용량절연막을 고유전체 재료로 구성하는 캐패시터·오버·비트라인 구조의 DRAM에 있어서, 정보축적용 용량소자보다도 하층에 배치되는 비트선이나 주변회로의 배선의, 적어도 베이스부의 산화실리콘막과 접하는 부분을 티탄이나 코발트 이외의 고용점 금속막으로 구성함으로써, 비트선이나 주변회로의 배선과 산화실리콘막과의 밀착성이 향상하고, 용량절연막을 형성할 때에 행해지는 고온열처리에 기인하여 비트선이나 주변회로의 배선과 산화실리콘막과의 계면에 박리가 생기는 불량을 확실히 방지할 수 있으므로, 256 Mbit 및 그 이후의 세대에 대응한 대용량 DRAM의 신뢰성 및 제조수율을 향상시킬 수 있다.

또한, 본 발명의 하나의 구성요소인 「Ti/TiN/W로 이루어지는 플러그 전극」에 대하여 공지에 조사를 행한 결과, 특개평 9-92794호를 발견하였다.

상기 공보에는 「Ti/TiN/W로 이루어지는 플러그 전극」이 개시되어 있지만, 비트선 및 그것과 동층의 주변회로용의 배선이 Ti/TiN/W로 구성되어 있다. 따라서, 비트선과 그 하층 산화막과의 계면에서 벗겨짐이 발생한다.

이것으로부터, 특개평 9-92794호에는 벗겨짐의 문제의식이 없는 것이 명확하며, 본원 발명과는 전혀 다른 것이다.

### (57)청구의 범위

#### 청구항1

반도체 기판의 주면 상에 형성된 산화 실리콘계의 제1 절연막의 상부에, 적어도 그 일부가 상기 제1 절연막과 접하도록 연장하여 있는 배선이 형성되고, 상기 배선의 상부에 형성된 제2 절연막의 상부에 적어도 그 일부가 고유전체막으로 구성된 용량절연막을 가지는 용량소자가 형성된 반도체 집적회로장치로서, 상기 배선을 구성하는 도전막은 상기 제1 절연막 상에서 상기 제1 절연막과 접하는 부분이 티탄을 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항2

반도체 기판의 주면 상의 제1 영역에, 워드선과 일체로 구성된 게이트 전극을 구비한 메모리셀 선택용 MISFET이 형성되고, 상기 메모리셀 선택용 MISFET을 피복하는 산화 실리콘계의 제1 절연막의 상부에 상기 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 전기적으로 접속되며, 또한 상기 제1 절연막과 접하도록 연장하여 있는 비트선이 형성되고, 상기 비트선의 상부에 형성된 제2 절연막의 상부에 상기 메모리셀 선택용 MISFET의 소스, 드레인의 다른 쪽과 전기적으로 접속되며, 또한 적어도 그 일부가 고유전체막으로 구성된 용량절연막을 가지는 정보축적용 용량소자가 형성된 DRAM을 가지는 반도체 집적회로



장치로서, 상기 비트선을 구성하는 도전막은 상기 제1 절연막 상에서 상기 제1 절연막과 접하는 부분이 티탄을 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항3

제 2항에 있어서,

상기 고유전체막은, 결정화를 위한 열처리를 행한 산화 탄탈막인 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항4

제 2항에 있어서,

상기 메모리셀 선택용 MISFET의 게이트 전극을 구성하는 도전막은, 적어도 그 일부가 금속막으로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항5

제 2항에 있어서,

상기 반도체 기판의 주변 상의 제2 영역에 상기 DRAM의 주변회로의 MISFET이 형성되고, 상기 주변회로의 MISFET을 덮는 상기 산화 실리콘계의 제1 절연막의 상부에 상기 주변회로의 MISFET의 게이트 전극, 소스 또는 드레인 중 어느 하나와 전기적으로 접속되고, 또한 상기 제1 절연막과 접하도록 연장하여 있는 제1층째의 배선이 형성되며, 상기 제1층째의 배선을 구성하는 도전막은 상기 제1 절연막 상에서 상기 제1 절연막과 계면을 접하는 부분이 티탄을 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어지는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항6

제 5항에 있어서,

상기 제1 절연막에 개공(開孔)되고, 상기 제1층째의 배선과 상기 주변회로의 MISFET의 소스 또는 드레인을 전기적으로 접속하는 콘택트홀의 저부에는 티탄실리사이드층이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항7

제 5항에 있어서,

상기 비트선 및 상기 제1층째의 배선의 각각을 구성하는 상기 도전막은, 텅스텐막인 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항8

제 5항에 있어서,

상기 제1층째의 배선은 상기 콘택트홀의 내부에 형성되고, 티탄막과 장벽 금속막의 적층막, 또는 티탄막과 장벽금속막과 텅스텐막의 적층막으로 구성된 플러그를 통하여 상기 주변회로의 MISFET의 소스 또는 드레인과 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항9

제 5항에 있어서,

상기 주변회로의 MISFET의 게이트전극은, 금속막으로 구성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항10

제 5항에 있어서,

상기 제1 절연막은 스핀·온·글래스(spin-on-glass)막 또는 CVD 법으로 퇴적한 산화 실리콘막인 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항11

제 5항에 있어서,

상기 정보축적용 용량소자의 상부에 형성된 산화 실리콘계의 제3 절연막의 상부에, 상기 제1층째의 배선과 전기적으로 접속된 제2층째의 배선이 형성되고, 상기 제2층째의 배선을 구성하는 도전막은 적어도 상기 제3 절연막과 접하는 부분이 티탄막인 것을 특징으로 하는 반도체 집적회로장치.

#### 청구항12

- (a)반도체 기판의 주면 상에 산화 실리콘계의 제1 절연막을 형성한 후, 상기 제1 절연막의 상부에 상기 제1 절연막 상에서 상기 제1 절연막과 접하는 부분이 티탄을 제외한 고용점 금속, 또는 티탄을 포함하는 고용점 금속의 질화물로 이루어지는 도전막을 퇴적하는 공정,
- (b)상기 도전막을 패터닝함으로써 적어도 그 일부가 상기 제1 절연막과 접하도록 연장하여 있는 배선을 형성한 후, 상기 배선의 상부에 제2 절연막을 형성하는 공정,
- (c) 상기 제2 절연막의 상부에 제1 전극, 유전체막, 제2 전극으로 구성된 용량소자를 형성하는 공정을 가지며,  
상기 용량소자의 형성공정은 상기 유전체막의 막질을 개선하기 위한 열처리공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

#### 청구항13

- (a)반도체 기판의 주면 상의 제1 영역에 DRAM의 메모리셀을 구성하는 메모리셀 선택용 MISFET을 형성하고, 상기 반도체 기판의 주면 상의 제2 영역에 상기 DRAM의 주변회로를 구성하는 MISFET을 형성하는 공정,
- (b)상기 메모리셀 선택용 MISFET 및 상기 주변회로의 MISFET의 각각의 상부에 산화 실리콘계의 제1 절연막을 형성하는 공정,
- (c)상기 메모리셀 선택용 MISFET의 소스, 드레인의 적어도 한쪽의 상부의 상기 제1 절연막에 제1 콘택트홀을 형성하고, 상기 주변회로의 MISFET의 소스 및 드레인의 각각의 상부의 상기 제1 절연막에 제2 콘택트홀을 형성하며, 상기 주변회로의 MISFET의 게이트 전극의 상부의 상기 제1 절연막에 제3 콘택트홀을 형성하는 공정,
- (d)상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부 및 상기 제1 절연막의 상부에 티탄막을 퇴적한 후, 상기 반도체 기판을 열처리함으로써, 상기 제2 콘택트홀의 저부에 노출한 상기 주변회로의 MISFET의 소스 및 드레인의 각각의 표면에 티탄 실리사이드층을 형성하는 공정,
- (e)상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부를 포함하는 상기 티탄막의 상부에 장벽 금속막, 또는 상기 장벽 금속막과 티탄을 제외한 고용점 금속막의 적층막을 퇴적한 후, 상기 제1 절연막의 상부의 상기 장벽 금속막 또는 상기 적층막을 상기 티탄막과 함께 제거하는 것에 의해, 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부에 플러그를 형성하는 공정,
- (f)상기 제1 절연막의 상부에, 적어도 상기 제1 절연막과 접하는 부분이 티탄을 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어지는 도전막을 퇴적하는 공정,
- (g)상기 도전막을 패터닝하는 것에 의해 상기 제1 콘택트홀을 통하여 상기 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 전기적으로 접속되는 비트선을 형성하고, 상기 제2 콘택트홀 또는 상기 제3 콘택트홀을 통하여 상기 주변회로의 MISFET과 전기적으로 접속되는 주변회로의 제1층째의 배선을 형성하는 공정,
- (h)상기 제2 절연막의 상부에 제1 전극, 유전체막, 제2 전극으로 구성된 정보축적용 용량소자를 형성하는 공정을 가지고,  
상기 용량소자의 형성공정은 상기 유전체막의 막질을 개선하기 위한 열처리공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

#### 청구항14

- 제 13항에 있어서,  
상기 메모리셀 선택용 MISFET의 게이트 전극 및 상기 주변회로의 MISFET의 게이트 전극의 각각을 구성하는 도전막은, 불순물이 도핑된 저저항 다결정 실리콘막과 장벽 금속막과 텅스텐막의 적층막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

#### 청구항15

- 제 13항에 있어서,  
상기 비트선 및 상기 주변회로의 제1층째의 배선은, 텅스텐막인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

#### 청구항16

- 제 13항에 있어서,  
상기 유전체막은 금속 산화물로 이루어지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

#### 청구항17

- 제 16항에 있어서,  
상기 금속 산화물은 산화 탄탈인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

#### 청구항18

- 제 13 항에 있어서,  
상기 유전체막의 막질을 개선하기 위한 열처리온도가 750℃ 이상인 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

**청구항19**

- (a)반도체 기판의 주면상의 제1 영역에 DRAM의 메모리셀을 구성하는 메모리셀 선택용 MISFET을 형성하고, 상기 반도체 기판의 주면상의 제2 영역에 상기 DRAM의 주변회로를 구성하는 MISFET을 형성하는 공정,
- (b)상기 메모리셀 선택용 MISFET 및 상기 주변회로의 MISFET의 각각의 상부에 산화 실리콘계의 제1 절연막을 형성하는 공정,
- (c)상기 메모리셀 선택용 MISFET의 소스, 드레인의 적어도 한쪽의 상부의 상기 제1 절연막에 제1 콘택트홀을 형성하고, 상기 주변회로의 MISFET의 소스 및 드레인의 각각의 상부의 상기 제1 절연막에 제2 콘택트홀을 형성하며, 상기 주변회로의 MISFET의 게이트 전극의 상부의 상기 제1 절연막에 제3 콘택트홀을 형성하는 공정,
- (d)상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부 및 상기 제1 절연막의 상부에 코발트막을 퇴적한 후, 상기 반도체 기판을 열처리함으로써, 상기 제2 콘택트홀의 저부에 노출한 상기 주변회로의 MISFET의 소스 및 드레인의 각각의 표면에 코발트실리사이드층을 형성하는 공정,
- (e)상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부를 포함하는 상기 코발트막의 상부에 장벽 금속막, 또는 상기 장벽 금속막과 코발트를 제외한 고용점 금속막의 적층막을 퇴적한 후, 상기 제1 절연막의 상부의 상기 장벽 금속막 또는 상기 적층막을 상기 코발트막과 함께 제거함으로써, 상기 제2 콘택트홀 및 상기 제3 콘택트홀의 각각의 내부에 플러그를 형성하는 공정,
- (f)상기 제1 절연막의 상부에 적어도 상기 제1 절연막과 접하는 부분이 코발트를 제외한 고용점 금속, 또는 고용점 금속의 질화물로 이루어지는 도전막을 퇴적하는 공정,
- (g)상기 도전막을 패터닝함으로써, 상기 제1 콘택트홀을 통하여 상기 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽과 전기적으로 접속되는 비트선을 형성하고, 상기 제2 콘택트홀 또는 상기 제3 콘택트홀을 통하여 상기 주변회로의 MISFET과 전기적으로 접속되는 주변회로의 제1층째의 배선을 형성하는 공정,
- (h)상기 제2 절연막의 상부에 제1 전극, 유전체막, 제2 전극으로 구성된 정보축적용 용량소자를 형성하는 공정을 가지며, 상기 용량소자의 형성공정은 상기 유전체막의 막질을 개선하기 위한 열처리공정을 포함하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

도면

도면1